

# VLSI 大规模互连结构电感建模 与仿真算法研究

(申请清华大学工学博士学位论文)

培 养 单 位： 计算机科学与技术系

学 科： 计算机科学与技术

研 究 生： 曾 珊

指 导 教 师： 洪 先 龙 教 授

副 指 导 教 师： 喻 文 健 副 教 授

二〇〇九年六月

VLSI 大规模互连结构电感建模与仿真算法研究

曾

姗

**The Modeling and Simulation  
Algorithms for VLSI Large-Scale  
Interconnect Structures Considering  
Inductive Effects**

Dissertation Submitted to

**Tsinghua University**

in partial fulfillment of the requirement

for the degree of

**Doctor of Engineering**

by

**Zeng Shan**

**( Computer Science and Technology )**

Dissertation Supervisor: Professor Hong Xianlong

Associate Supervisor: Associate Professor Yu Wenjian

**June, 2009**



## 关于学位论文使用授权的说明

本人完全了解清华大学有关保留、使用学位论文的规定，即：

清华大学拥有在著作权法规定范围内学位论文的使用权，其中包括：（1）已获学位的研究生必须按学校规定提交学位论文，学校可以采用影印、缩印或其他复制手段保存研究生上交的学位论文；（2）为教学和科研目的，学校可以将公开的学位论文作为资料在图书馆、资料室等场所供校内师生阅读，或在校园网上供校内师生浏览部分内容；（3）根据《中华人民共和国学位条例暂行实施办法》，向国家图书馆报送可以公开的学位论文。

本人保证遵守上述规定。

**（保密的论文在解密后遵守此规定）**

作者签名： \_\_\_\_\_ 导师签名： \_\_\_\_\_

日 期： \_\_\_\_\_ 日 期： \_\_\_\_\_



## 摘要

随着超大规模集成电路的信号频率和芯片集成度不断提高,互连线的寄生电感效应越来越明显,对芯片性能产生重要影响。传统的只考虑寄生电容与电阻的互连模型已远远不能满足精确分析的要求,准确快速的三维互连结构寄生电感提取已成为当前研究热点之一。作为部分电感矩阵的逆, $\mathbf{K}$  参数矩阵类似于电容具有易于稀疏化的特点,近年来被用于片上互连电感的有效建模和仿真。与此同时,为满足低功耗集成电路设计对大规模互连线网精确分析提出的更高要求,大规模片上互连结构的电感建模和仿真在当前也受到了很大的关注。本论文工作集中于大规模互连结构的电感建模和仿真算法研究。论文工作包括:

1. 提出了一种快速有效的三维互连结构的频变  $\mathbf{K}$  参数和电阻的提取算法。该算法基于窗口技术与  $\mathbf{K}$  参数直接提取方法,在窗口内采用改进的细丝阻抗复用技术、方程维度压缩以及矩阵系数平衡等技术,加速线性方程组的形成和求解,同时也能快速提取出频变电阻。实验结果表明,此算法在保证同等计算精度的同时,比 MIT 的著名软件原型 FastHenry 快几十至数百倍。

2. 提出了一种有效的针对大规模结构化供电网络的  $\mathbf{K}$  参数提取算法。该算法基于大规模结构化供电网络的特点,利用  $\mathbf{K}$  参数的局部性,采用有效的模块  $\mathbf{K}$  参数复用技术,能够对大规模供电网络进行快速准确的电感建模。数值实验表明,该算法可以有效处理包含多达十多万根导体的大规模结构化供电网络,计算速度比 FastHenry 快上百倍,比已提出的基于窗口的提取方法快几倍至数十倍,并保证较高的计算精度。

3. 提出了一种考虑电感耦合的大规模互连结构快速仿真算法。该算法基于频域分析和向量拟合的瞬态电路仿真方法,采用改进节点法和  $\mathbf{K}$  参数矩阵稀疏化技术,通过有效的稀疏矩阵存储、矩阵系数平衡、以及预条件 GMRES 迭代求解等技术有效地提高了频域电路方程的求解效率。数值实验表明,该算法能对包含多达十万个节点的电感耦合互连电路进行瞬态仿真,在保持良好精度的同时,计算速度比业界著名软件 HSPICE 快几十倍以上。

**关键词:** 超大规模集成电路; 电感建模; 高频效应;  $\mathbf{K}$  参数提取; 互连电路仿真

## Abstract

With the increasing signal frequency and device density in very large scale integrated (VLSI) circuits, the parasitic inductive effect of interconnects is becoming more and more prominent, largely affecting the circuit performance. Traditional interconnect models with only resistance and capacitance are not sufficient for accurate analysis of the circuit. Accurate and fast 3D parasitic inductance extraction has become a focus of current research. As the inverse of partial inductance matrix, the partial reluctance matrix (K element) has similar characteristics as capacitance, which make it can be easily sparsified. So, the partial reluctance is widely used for inductance modeling of on-chip interconnects. At the same time, for the low power designs, the accurate analysis of large-scale interconnects is necessary. It is of great concern to simulate the large-scale on-chip interconnects with the consideration of inductance effect. This work is mainly focused on the algorithms for the inductance modeling and simulation for VLSI interconnect structures. The following results have been obtained:

1 We propose an efficient 3D frequency-dependent K element and resistance extraction algorithm. The algorithm is based on the window selection and the direct extraction of K element. Within the window, we use a modified reuse technique for filaments impedance, the condensation of the matrix and rescaling for matrix coefficient technique for accelerating the equation formation and solution. Numerical results show that, the proposed algorithm is several tens times faster than the FastHenry program from MIT, while keeping high accuracy.

2 We propose an efficient K element extraction algorithm for large-scale structured power/ground (P/G) network. Based on the characteristic of the structured P/G network, and the locality of K element, an efficient block reuse technique is developed. The algorithm is able to handle large scale structured P/G network accurately and quickly. The numerical results show that the proposed algorithm could handle the P/G network with more than one hundred thousand conductor segments. And, the speed is hundreds times faster than FastHenry, and several to tens times faster than the proposed algorithm based on the window technique, while achieving



high accuracy.

3 We propose a large scale interconnect simulation algorithm considering complete inductive coupling. The proposed algorithm is the transient simulation method based on frequency domain analysis and vector fitting technique. It uses modified nodal analysis and the sparsified K element matrix, along with the efficient matrix storage, the rescaling for matrix coefficients, and the preconditioner of GMRES. It improves the solution of the equation greatly. Numerical results show that the proposed algorithm could deal with hundred thousand nodes for inductance coupling circuit transient simulation. While keeping high accuracy, the proposed algorithm achieves at least ten times speedup over the commercial tool HSPICE.

**Keywords:** very large-scale integrated circuits, inductance modeling, high frequency effects, reluctance extraction, simulation of interconnect circuits

## 目 录

第 1 章 引言 .....	1
1.1 集成电路发展现状.....	1
1.2 互连寄生参数对电路性能的影响.....	2
1.2.1 互连寄生电感的影响 .....	4
1.3 互连寄生电感建模与电路仿真的研究现状.....	6
1.3.1 寄生电感建模的难点与挑战 .....	6
1.3.2 三维寄生电感提取的主要方法 .....	7
1.3.3 互连电路仿真算法 .....	9
1.4 论文工作.....	11
第 2 章 互连电感建模的 K 参数提取方法 .....	12
2.1 电感电阻计算.....	12
2.2 PEEC 体积元模型.....	13
2.2.1 离散化处理 .....	14
2.3 K 参数提取算法.....	17
2.3.1 K 矩阵的定义和局部性 .....	17
2.3.2 K 参数提取算法的过程 .....	21
2.3.3 窗口划分算法 .....	21
2.4 本章小结.....	26
第 3 章 频变 K 参数的有效提取算法 .....	27
3.1 考虑高频效应的 K 参数提取.....	27
3.1.1 高频效应的考虑 .....	27
3.1.2 考虑高频效应的 K 参数提取过程 .....	29
3.2 窗口内频变 K 参数的有效提取.....	30
3.2.1 K 参数的快速提取方法 .....	30
3.2.2 方程求解的改进 .....	33
3.2.3 细丝电感快速计算 .....	35
3.3 频变电阻的提取.....	36

---

3.4 算法流程.....	37
3.5 算法复杂度分析.....	37
3.6 数值结果.....	39
3.6.1 片上互连结构.....	39
3.6.2 封装结构.....	42
3.7 本章小结.....	44
<b>第 4 章 大规模结构化供电网络结构的 K 参数提取.....</b>	<b>45</b>
4.1 问题背景.....	45
4.2 结构化供电网络.....	46
4.3 结构化供电网络提取算法.....	48
4.3.1 模块复用基本思想.....	48
4.3.2 确定模块的大小和模块间距.....	56
4.3.3 结果矩阵的合成.....	60
4.4 算法流程.....	61
4.5 算法复杂度分析.....	62
4.6 对于非规则情况的处理.....	62
4.7 数值实验结果.....	63
4.7.1 精度验证.....	64
4.7.2 速度验证.....	65
4.7.3 非规则结构的处理.....	65
4.8 本章小结.....	66
<b>第 5 章 考虑电感耦合的大规模互连电路仿真算法.....</b>	<b>67</b>
5.1 基于频域分析的电路仿真算法.....	67
5.2 考虑 K 参数的互连电路仿真算法.....	69
5.2.1 基本思想.....	69
5.2.2 互连仿真建模.....	69
5.2.3 频率采样点的选择.....	73
5.2.4 电路方程建立.....	73
5.2.5 电路方程存储.....	74
5.2.6 电路方程求解.....	76
5.2.7 向量拟合方法.....	77

## 目 录

---

5.3 算法流程.....	78
5.4 算法复杂度分析.....	79
5.5 数值结果.....	80
5.5.1 精度比较 .....	80
5.5.2 速度比较 .....	81
5.6 本章小结.....	82
第 6 章 总结与展望 .....	84
6.1 总结.....	84
6.2 下一步工作展望.....	85
参考文献 .....	86
致谢与声明 .....	93
个人简历、在学期间发表的学术论文与研究成果 .....	94

## 第1章 引言

在人类全面进入信息时代的今天,信息产业逐渐取代传统产业成为社会经济发展的主导因素,为社会创造着巨大的财富,而超大规模集成电路(Very Large-Scale Integration, VLSI)对人们的生活也产生了重要影响。各种集成电路芯片被广泛应用于工业控制、航空航天、通信、计算机及家用电器等各个领域,集成电路制造技术已成为衡量一个国家科学技术进步和综合国力的重要标志,这就要求集成电路计算机辅助设计(Computer Aided Design, CAD)技术与之相配合,跟上集成电路制造技术的发展。

### 1.1 集成电路发展现状

从1947年晶体管发明迄今,集成电路(Integrated Circuit, IC)制造技术得到了迅猛发展,从技术水平到市场价值都在不断成长。随着工艺的进步,集成电路技术不断向着高集成度、超小型化、高性能、高可靠性的方向发展。

随着工艺的发展,特征尺寸不断减小,集成电路的规模日益增大,复杂性迅速增加。以Intel公司的微处理器系列产品为例,从1971年第一款微处理器芯片4004的 $10\mu\text{m}$ 工艺,2300个晶体管,发展到2007年的 $45\text{nm}$ 工艺,4.1亿个晶体管。而更新的 $32\text{nm}$ 工艺的产品也将于不久的将来推向市场。在过去的几十年中,集成电路的发展几乎完全遵循著名的“Moore定律”<sup>[1]</sup>,即单个芯片内所集成的晶体管数量每18-24个月会增加一倍。表1.1给出的2007年发布的最新国际半导体技术蓝图报告(ITRS2007)<sup>[2]</sup>预计集成电路将以特征尺寸每3年缩小30%,晶体管数量增加一倍的高速度发展。

随着集成电路集成度的提高,过去需要一个或几个印制电路板才能完成的系统,现在可以被集成到一个芯片上,其中包括微处理器、嵌入式存储器、DSP、可编程逻辑和各种专用电路,甚至包括模拟和射频部分,即片上系统(System on-a-Chip, SoC)。

集成电路制造技术的飞速发展,导致集成电路的设计能力远远跟不上集成电路的增长需求。因为集成规模的增加,问题更加复杂化,集成电路设计需要计算机辅助完成。但现有的计算机辅助设计工具不能很好地满足集成电路设计的需求。解决这个矛盾的根本方法是增加计算机辅助设计工具的功能,提高辅助

设计工具的效率和集成电路设计的自动化程度。因此，集成电路的高速发展对集成电路的计算机辅助设计技术，或称为电子设计自动化(Electronic Design Automation, EDA) 技术提出了巨大挑战。

表 1.1 2007 年国际半导体技术蓝图报告的预测数据<sup>[2]</sup>

年份	2007	2008	2009	2010	2013	2016	2019
DRAM 特征尺寸( <i>nm</i> )	65	57	50	45	32	22	16
MPU/ASIC 特征尺寸( <i>nm</i> )	65	57	50	45	32	22	16
DRAM 容量( <i>bits</i> )	16G	16G	16G	32G	64G	128G	256G
ASIC 最大晶体管数 ( <i>M</i> )	3,061	3,857	4,859	6,122	12,224	24,488	48,977
$V_{dd}(V)$	1.1	1.0	1.0	1.0	0.9	0.8	0.7
时钟频率 ( <i>MHz</i> )	4,700	5,063	5,454	5,875	7,344	9,180	11,475
布线层数	11	12	12	12	13	13	14

近年来，无线通讯与移动计算市场成为集成电路发展的主要推动力，同时也给电路设计的 CAD 方法提出了新的要求和挑战。当前集成电路设计的最显著特点是需要高度重视互连线的影响，因为这些广泛存在于功能单元内部以及它们之间的金属线已不能认为是理想的、等电位连接，它们带来的电磁寄生效应已成为影响电路性能，甚至于决定其能否正常工作的关键因素。目前，无论是芯片级还是封装级的互连电磁特性都对整个电路性能产生日益重要的影响，使互连建模与效应分析成为当前一大研究热点<sup>[3]</sup>。

## 1.2 互连寄生参数对电路性能的影响

集成电路设计中离不开 CAD 工具，它们的普遍应用对提高电路性能、缩短设计周期和降低设计成本至关重要。图 1.1 显示了一个典型的集成电路设计流程，其中各个环节都需要计算机辅助设计方法的支持。在设计前端，功能描述经过寄存器传输级、逻辑综合转化为门级网表；而在后端，经过布图规划、布

局、布线最终达到物理版图。为考虑互连线对电路功能产生的影响，版图生成后需要进行“后验证”，即通过寄生参数提取（parasitic parameter extraction）和门级仿真等步骤来验证电路性能参数，其中，寄生参数提取将互连电磁特性转化为寄生参数电路，经过模型降阶（model order reduction）后，便可加入功能电路中进行门级仿真，如图 1.2 所示。

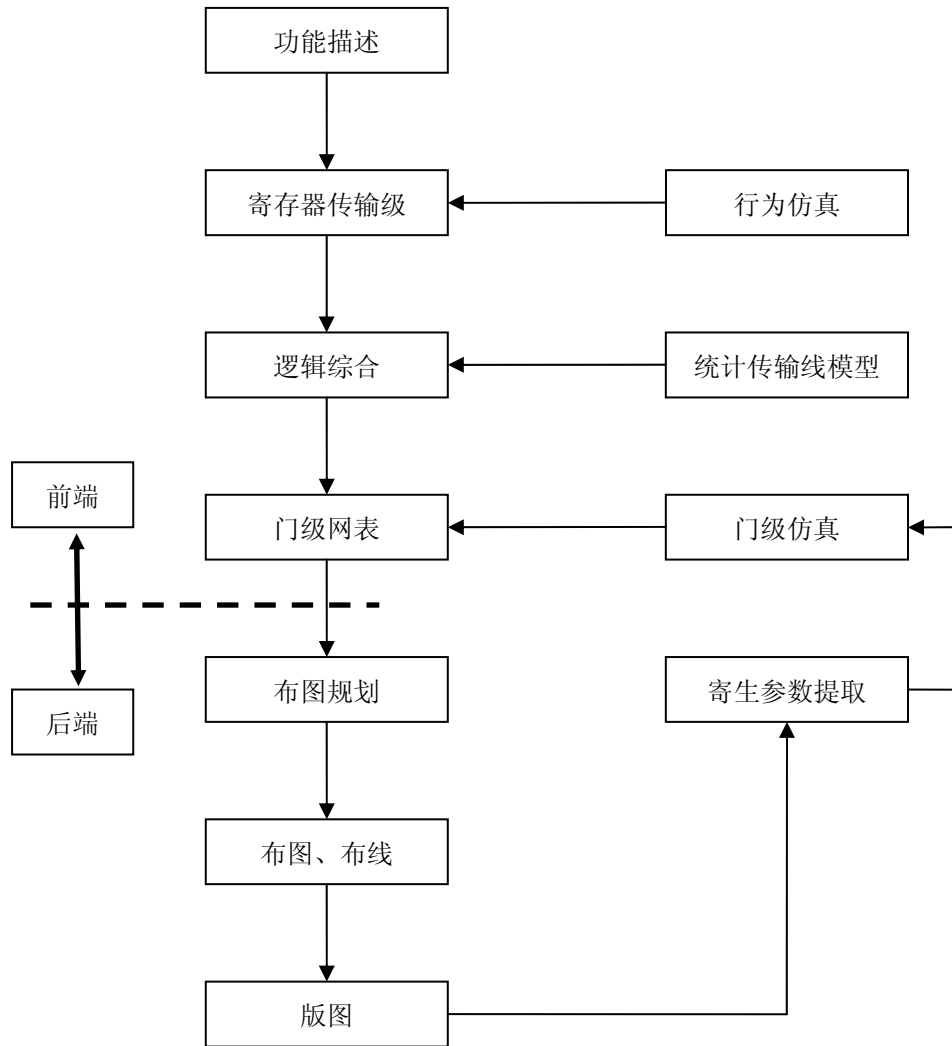


图 1.1 典型集成电路设计流程

寄生参数提取的主要任务就是通过电磁场计算，得到描述互连电磁特性的电阻、电容、电感等电路参数。寄生参数提取以及相关的互连分析直接影响到对电路延迟、功耗和稳定性的估计，并对复杂电路（如模拟 / 数字混合电路、射

频 RF 电路) 的信号完整性 (signal integrity) 问题的解决至关重要。目前, 寄生参数提取已不局限于版图内互连线的范围, 模拟 / 数字混合电路中的衬底耦合 (substrate coupling)、器件封装 (package) 中的管腿渗漏 (pin leakage)、印刷电路板 (PCB) 的连线耦合等已构成一个更广泛的寄生参数提取研究内容<sup>[4]</sup>。

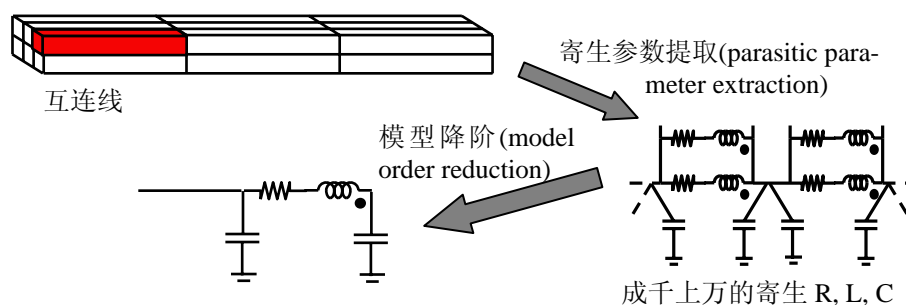


图 1.2 互连线经过参数提取和模型降阶后可参与门级仿真

在互连寄生参数提取研究初期, 主要是依赖静电场模型来计算电阻电容。其中, 电阻仿真计算区域, 在几何形状比较规则的互连线内部, 处理相对简单, 算法相对成熟。同时, 电容由于其对时延、功耗及电路信号传输可靠性的显著影响, 其提取算法研究与软件开发也开展较早, 目前已经取得了许多有意义的成果。而随着电路频率达到 GHz 以上, 频变互连电感与电阻的影响变得越来越显著, 如何对其建模和仿真引起了人们的广泛关注。本文的主要工作就是集中在互连电感建模与仿真算法研究。

### 1.2.1 互连寄生电感的影响

近年来, 随着集成电路的发展, 特征尺寸持续减小, 集成度不断提高, 时钟频率不断提高, 目前已达到数 GHz。过去, 互连延时一般只考虑寄生电容与电阻的影响; 但在当今的高频复杂互连结构中, 导体间寄生的电磁效应已十分显著, 电感对芯片性能产生着重要影响。必须在时序和噪声分析时对以下因素加以考虑<sup>[5-6]</sup>。

1. 随着时钟频率的增加, VLSI 普遍使用多层布线技术, 互连结构日益复杂。
2. 电路速度的提高使得负载电路上升时间已小于互连线带来的延迟。
3. 在时序分析时, 为准确预测上升沿及下降沿时间和延时, 须将电感考虑在内。



以 Elmore 延迟模型为例，它是性能驱动与布图中用作估计互连延迟的常用模型。Kahng 指出<sup>[7]</sup>，没有考虑电感的 Elmore 延迟模型结果与 SPICE 计算的延迟误差在 50% 以上，而采用考虑电感的解析延迟计算模型，与 SPICE 的差别可在 15% 以内。此外，他还观察到，对于树状互连线，Elmore 延迟模型的结果误差在 100% 以上，而新模型只有 15% 左右。Jeff<sup>[8]</sup>严格推导了高频下考虑耦合电阻、电感和电容时传输线的瞬态响应表达式。计算结果显示，在 3GHz 和 10GHz 频率下，这种分布 RLC 模型计算的串扰电压峰值比通常的分布 RC 模型高 60%。图 1.3 为一个 4-位总线结构的输出结果曲线，该图表明使用没有考虑电感影响的 RC 模型会导致很大的传输延迟误差，可见采用传统 RC 互连模型已经无法满足设计高性能集成电路的要求。

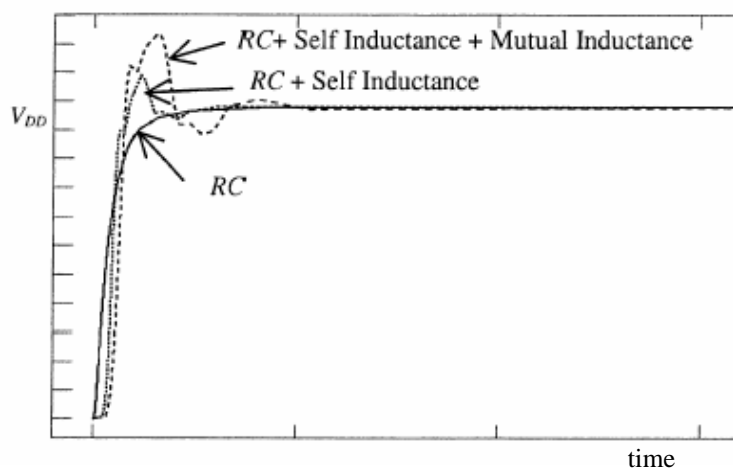


图 1.3 三种模型对于 4-位总线结构的输出结果曲线<sup>[9]</sup>

此外，互连寄生电感可能引起振铃现象，并产生误触发及导致电路逻辑错误。Arani 计算了  $0.13\mu\text{m}$  线宽组合逻辑电路中互连线引起的电压过冲，显示该电压值超过了阈值电压，并分析了这种由于互连寄生电感引起的电压振荡对不同电路的影响<sup>[10]</sup>。Shepard 指出<sup>[6]</sup>，当电感元件负载过大时，将可以观察到阻尼振铃响应。振铃噪音在快速、低温和高电源电压的条件下会导致接收电路的功能错误。在 RF 及数-模混合电路中，互连线与衬底之间的电感可对信号产生干扰<sup>[11]</sup>，并通过衬底使相距较远的导体之间也产生相互影响，产生各种信号毛刺<sup>[12]</sup>。这些现象都严重影响芯片的正常工作，必须在电路设计及性能验证中加以考虑。

综上所述，在工作频率已达数 GHz 规模条件下，除了提取寄生电阻和电容外，也必须准确计算随频率变化的寄生电感。

## 1.3 互连寄生电感建模与电路仿真的研究现状

### 1.3.1 寄生电感建模的难点与挑战

严格的说,“电感”这个概念仅仅出现在封闭的电流回路中,所以一根连线的电感取决于其所在的电流回路。但是,具体而确切的电流回路却很难在设计芯片时确定。这是因为,电流回路的拓扑结构包括了很复杂的供电网络和信号线,而它的电流分布则依赖于更多因素,比如门单元、耦合电容、耦合电阻、耦合电感、衬底的位置以及工作频率等。图 1.4 给出了一个小型电路中互连线构成的若干可能的电流回路。如果电路中导体段的数目为  $N$ ,那么所有可能的电流回路数为  $O(N^2)$ 。因此在一个芯片设计完成前要想确定该芯片的回路情况是非常困难的,这使得电感提取变得十分困难<sup>[13]</sup>。

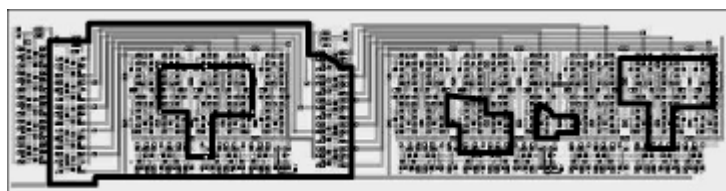


图 1.4 一个小型电路中互连线构成的若干可能的电流回路<sup>[13]</sup>

另一方面,在高频下出现的趋肤效应和邻近效应也给电感提取带来了很大困难。趋肤效应和邻近效应统称为高频效应。趋肤效应是指当频率升高时,电流将逐渐向表面聚集而造成分布不均。它影响了实际电阻值,也对电感值产生明显影响。而且,其电流分布的不均匀程度和频率有关。不仅如此,在多导体的环境下,邻近导线间的电流分布还会互相影响,称为邻近效应,使问题变得更加复杂。

综上所述,集成电路的发展对寄生电感提取提出的要求主要有以下几个方面。

1. 快速的计算能力: 计算随频率改变的电感电阻值需要进行不同频率下的电磁场分析,又由于电感效应的作用范围远,要求足够快速的提取算法以执行大规模芯片中数量巨大的提取任务。

2. 较高的复杂结构适应性: 多层布线技术、多芯片模块(Multi-Chip Module, MCM)、高密度封装以及片上系统(SoC)的广泛应用,使互连结构日趋复杂,尤

其是芯片封装、管脚结构。如何使互连提取算法适应复杂三维结构，已成为紧迫课题。

3. 较高的计算可靠性：极高的集成度以及结构复杂性已使电感的测量验证极其困难，使得保证计算结果的可靠性与稳定性具有重要意义。

### 1.3.2 三维寄生电感提取的主要方法

目前，寄生电感提取方法大体可分为两类：基于部分电感的方法与基于部分K参数的方法。下面逐一加以介绍。

#### PEEC 模型与体积元方法

电感提取的一个难点在于电流回路未知。为了避免确定电流回路的困难，部分电感<sup>[14]</sup>的概念首先由 Rosa 在 1908 年提出，此时假设回路在无限远处闭合，如图 1.5 所示。导体部分电感决定于另一导体中电流在这个半无穷大回路中产生的磁通。由于计算部分电感所引入回路的面积都比实际大，其值往往比实际值大<sup>[4]</sup>。

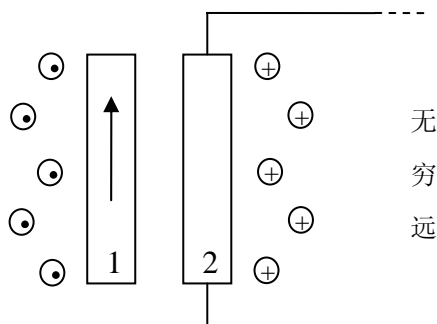


图 1.5 部分电感虚拟回路示意图<sup>[15]</sup>

IBM 公司 Watson 研究中心 Ruehli 等人首先将部分电感概念引入互连参数提取，提出了著名的 PEEC (Partial Element Equivalent Circuit) 模型<sup>[16]</sup>，并将其应用于求解电磁场问题。这种方法将导体离散化为电流细丝，每根细丝上可定义三个方向电流分量（电感元），同时将导体表面离散化为面元（panel），每个面元上可有一个电位未知量（电容元），并最终将这些电感元和电容元视为电路元件以形成一个等效电路，通过求解该电路可得到电流细丝上电流和面元上电位，从而计算出电阻、电容和电感。由于该模型的积分方程是从完整的 Maxwell 方程出发，它对于求解电磁场问题具有很高的精确性。

由于体积元法将导体区域体积元离散化,对于复杂结构,当划分数急剧增加时,计算时间随之急剧增加,难以适应实际计算。因此,在这一算法基础上,发展加速计算和稀疏化技术以减少计算时间的研究工作得到广泛发展。九十年代初,MIT的Kamon和White等人对PEEC模型做了简化。他们认为在数GHz工作频率及深亚微米量级下,细长导线内电流仅沿轴向流动。他们将直导体在横截面上离散为平行的电流细丝,并假定电流在细丝内均匀分布。这种做法使每一细丝上的未知数仅为一个,大大简化了PEEC模型。在此简化模型基础上,结合多极加速等快速算法,Kamon实现了著名的三维电感电阻提取软件FastHenry<sup>[17-18]</sup>,目前被广泛接受为互连电感电阻提取的标准。

近年来,PEEC模型又提出许多新的改进。1992年,Ruehli提出rPEEC模型,加入了延时修正<sup>[19]</sup>。2000年,Coperich提出了一种考虑趋肤效应的增强PEEC模型<sup>[20]</sup>,该模型能够准确的考虑邻近效应和趋肤效应,非常适合于全频率范围的传输互连线分析。Ruehli从通常的全波PEEC系统出发,提出了一种实用、易并行处理的降阶频域模型<sup>[21]</sup>。Restle则将全波PEEC时域模型应用于全芯片互连延时分析,提出了一种有效分析大规模问题的方法<sup>[22]</sup>。此外,上海交大的李征帆、曹毅等人还提出一种改进的PEEC模型<sup>[23]</sup>,用矢量磁势的积分形式和洛伦兹规范展开Maxwell基本积分方程。

### K 参数方法

PEEC模型用部分电感的概念解决了电流回路未知的问题。但在PEEC模型中,由于任意两导体间均有耦合电感作用,得到的部分电感矩阵是稠密矩阵。这给参数提取以及后续的电路仿真带来了很大计算量。而全局互连线(如供电网络、时钟线等),电感效应突出,对电路性能影响显著,需要准确提取电感。但是,全局互连线的规模一般很大,直接提取电感十分耗时,且当规模增加到一定程度,将会出现内存不足的情况,必须采用稀疏化方法。

为提高电感提取和仿真效率,各种部分电感矩阵的稀疏化方法成为近年研究的热点。一些算法将电流回路限制在较小的局部范围,以减少导体间耦合,降低计算量。块对角元方法<sup>[24]</sup>和Halo方法<sup>[6, 25]</sup>是将电流回路限制在电源/地线附近以达到减少互感数量的目的。Shell稀疏化技术<sup>[26]</sup>将环绕在导体周围的一个等位壳(shell)视为回路,等位壳内导体与外部导体的互感为零。

上述方法虽然减小了计算规模,但将电流回路局限在一个小范围内的假设往往使精度损失较大。与上述直接稀疏化部分电感矩阵的方法不同,Devgan等人

在2000年引入K参数的概念以提高电感建模和仿真的效率<sup>[27-28]</sup>,其依据是K参数矩阵具有较好的局部化性质,容易被稀疏化,可以大大提高计算效率。文[29]分析了K参数矩阵的局部化性质和稳定性,并提出可处理K参数的电路仿真算法KSim。文[30-31]针对二维分布的互连线结构,提出了一种窗口选择算法,以及有效的K参数提取和RKC电路仿真方法。文[32]进一步完善了K参数矩阵具有局部性和稳定性的理论证明。文[33]提出了一种K参数提取方法,该方法通过部分电感矩阵 $L$ 的多对角线元素,来得到部分电感矩阵中的其他元素以及K参数矩阵的元素。但该方法仅适用于简单的二维结构。文[34]在[33]的基础上,将此方法扩展到三维结构。

但是,现有的K方法大多数未考虑高频效应,频变K参数的有效提取还值得进一步研究。文[35]阐明了考虑高频效应的重要性,并提出了一种频变K参数的提取算法。但该算法需多次计算矩阵求逆或求解方程组,效率不高。文[36-37]对K参数的局部性原理加以推广,提出高频下复数导纳矩阵(阻抗矩阵的逆)也具有局部性的假设,从而得到一种有效的频变电感电阻提取算法,但该假设在理论上存在一定的近似。文[38-39]提出K参数的直接提取算法,但是对于方程的求解效率不高。

K参数方法已被广泛接受,成为分析互连电感效应的重要手段。文[40]提出,可将K参数矩阵求逆后得到部分电感矩阵用于后期的电路仿真。实际上,用K参数取代部分电感在参数提取及电路仿真中,可大大节省时间。目前,K参数已被商业软件支持,如HSPICE<sup>[41]</sup>。

### 1.3.3 互连电路仿真算法

用K参数对电感建模后,下一步的工作是电路仿真,以得到电路测试点的电压响应。高效的电路仿真算法对于整个芯片设计过程是至关重要的,它不仅为整个芯片的电路提供验证依据,也是电路设计优化过程的基础。

电路仿真可以分为静态分析和瞬态分析。静态分析是将电路看成一个静态系统,仅考虑静态电流源和电阻对电路网络的影响。如果考虑电路中电容、电感等动态元件,由于单元模块的吸纳电流随时间连续变化,从而导致单元模块电压的连续变化,就必须对电路进行瞬态分析。在时域中,瞬态仿真分析的基本方法是:设定一个足够小的时间步长,将一个周期内的分析问题转换为足够多步静态的求解问题,在每一个时间步求解电路,并且输出电路中的节点动态变

化波形。

随着集成电路的工作频率迅速提高，电路中的寄生效应（寄生自感互感、寄生电容）和封装参数对电路的影响随之逐渐扩大，已经到了不可忽略甚至非常严重的程度。加之由于工艺水平的发展，单个芯片集成的器件已经增加到百万数量级，这些都使得电路仿真的复杂度呈指数级增长，静态分析以及诸如 SPICE 等传统的电路仿真软件已经不能满足电路设计的需求。瞬态分析成为当前研究的热点内容。

电路仿真的瞬态分析算法需要在计算时间和精度上折衷。其思想主要分为两类。

一类是在原始电路求解之前，首先把电路简化，缩小电路规模后再进行求解，通过压缩电路（Circuit Reduction）来提高仿真效率。如电路分块方法<sup>[42]</sup>，多网格方法（multigrid）<sup>[43-47]</sup>以及层次式降阶模型<sup>[48-51]</sup>。但是，现有的算法要么只能针对 RC 电路，要么没有充分考虑 MESH 结构的规整性，不能充分有效的压缩电路。

另一类是直接提出求解大规模线性方程组的算法，通过加速电路方程组的求解来提高电路仿真效率。其代表为文[52]采用的压缩 Cholesky 分解法，文[53]的最小剩余法（GMRES），文[54-55]使用了预条件共轭梯度法（PCG）。文[56-58]采用了隐式交错的迭代方法（Alternated-Directional-Implicit, ADI Method）。这种方法的时间复杂度在理论上是线性的，而且是无条件收敛的，能够很有效的处理规整的网格电路，缺点是对电路的拓扑结构要求过于严格。

文[59-60]中提出了随机行走方法(Random Walk)。此类方法是一种基于概率统计的分析方法，首先把基尔霍夫(Kirchoff)方程转化为一个随机行走的过程，利用未知节点到已知节点（开始的时候为  $V_{DD}$  节点）不同路径的概率，逐个求解每个未知节点。但是此类方法依赖电路中初始已知点的数量，由于在求解开始阶段，已知点数量较少，使得开始阶段求解速度很慢。

前面介绍的瞬态分析方法是基于时域的分析方法，这类分析算法都需要根据时间步来迭代求解，其复杂度与时间相关。目前，文[61-63]提出了基于频域的分析方法，来求解时域下的电压响应。先求解频域下的电路方程，得到频域下的电压响应。使用向量拟合的方法（Vector Fitting, VF）<sup>[64]</sup>，将频域下的电压响应转换到时域，最终得到时域的电压响应。但文[61-63]并未考虑互电感，而在现在的工艺下，电感效应越来越显著，互电感必须考虑。

## 1.4 论文工作

本文的主要工作集中在大规模互连结构电感建模与仿真算法研究。建模是基于近年来被广泛接受的  $K$  参数方法，而仿真是使用基于频域分析的方法。具体说来，本文的主要工作如下。

1. 提出了一种快速有效的三维互连结构的频变  $K$  参数和电阻的提取算法。该算法基于窗口技术和  $K$  参数直接提取方法，在窗口内采用改进的细丝阻抗复用技术、方程维度压缩以及矩阵系数平衡等技术，加速线性方程组的形成和求解，同时也能快速提取出频变电阻。实验结果表明，此算法在保证同等计算精度的同时，比 MIT 的著名软件原型 FastHenry 快几十至数百倍。

2. 提出了一种有效的针对大规模结构化供电网络的  $K$  参数提取算法。该算法基于大规模结构化供电网络的特点，利用  $K$  参数的局部性，采用有效的模块  $K$  参数复用技术，能够对大规模供电网络进行快速准确的电感建模。数值实验表明，该算法可以有效处理包含多达十多万根导体的大规模结构化供电网络，计算速度比 FastHenry 快上百倍，比已提出的基于窗口的提取方法快几倍至数十倍，并保证较高的计算精度。

3. 提出了一种考虑电感耦合的大规模互连结构快速仿真算法。该算法基于频域分析和向量拟合的瞬态电路仿真方法，采用改进节点法和  $K$  参数矩阵稀疏化技术，通过有效的稀疏矩阵存储、矩阵系数平衡、以及预条件 GMRES 迭代求解等技术有效地提高了频域电路方程的求解效率。数值实验表明，该算法能对包含多达十万个节点的电感耦合互连电路进行瞬态仿真，在保持良好精度的同时，计算速度比业界著名软件 HSPICE 快几十倍以上。

本文余下内容组织如下：第 2 章介绍互连电感建模的  $K$  参数提取方法。第 3 章介绍频变  $K$  参数的有效提取算法。第 4 章介绍大规模结构化供电网络结构的  $K$  参数提取。第 5 章介绍考虑电感耦合的大规模互连电路仿真算法。最后，第 6 章给出总结与展望。

## 第2章 互连电感建模的 K 参数提取方法

本章对三维互连电感建模的 K 参数提取问题作背景介绍,其中涉及一些基本模型与假设。

### 2.1 电感电阻计算

对一个含有  $n$  对端口的正弦稳态系统, 有

$$Z_t(\omega)I_t(\omega) = V_t(\omega) \quad (2-1)$$

其中,  $Z_t(\omega) \in C^{n \times n}$  是阻抗矩阵, 包含电阻和电感项, 即  $Z_t(\omega) = R + j\omega L$ ,  $\omega$  是角频率,  $I_t(\omega), V_t(\omega) \in C^n$  分别是端口电流和电压向量。

式(2-1)可变换为

$$Y_t(\omega)V_t(\omega) = I_t(\omega) \quad (2-2)$$

其中,  $Y_t(\omega) \in C^{n \times n}$  为导纳矩阵, 是阻抗矩阵的逆矩阵。

为方便描述, 可考察一个只包含两对端口的系统, 如图 2.1 所示。对于该系统, 导纳矩阵为

$$Y_t(\omega) = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \quad (2-3)$$

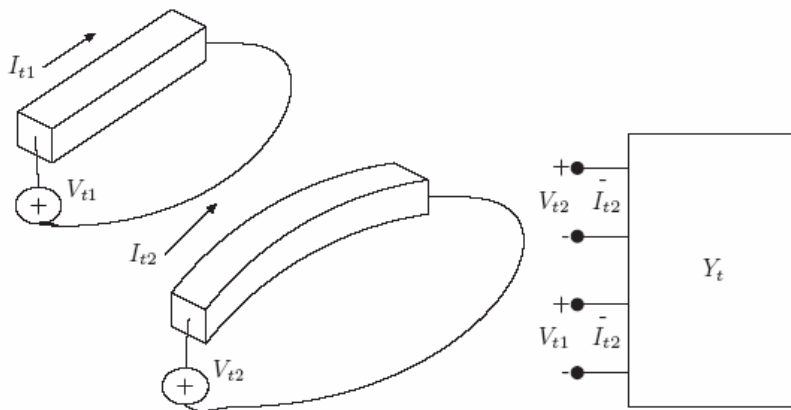


图 2.1 具有两对端口的导体系统及其抽象表示<sup>[15]</sup>



在两个端口上分别置偏压  $V_1=1, V_2=0$ ，计算出  $I_1, I_2$ ，通过式(2-2)可得到导纳矩阵  $Y_l(\omega)$  的第一列。同理，分别在两个端口上置偏压  $V_1=0, V_2=1$ ，计算出  $I_1, I_2$ ，得到导纳矩阵  $Y_l(\omega)$  的第二列。在求出导纳矩阵后，求逆即可得到阻抗矩阵。

## 2.2 PEEC 体积元模型

前一节表明，导纳矩阵的计算需要求解在不同偏压条件下导体系统的电流分布。将导体偏压视为边界条件，问题可转化为对 Maxwell 方程组的求解，但直接计算解析解十分困难，MIT 的 Kamon 在 1994 年提出了一种基于 PEEC 的体积元模型，他将 Maxwell 方程适当简化，变换为积分方程。该模型仅需离散导体内部空间，大大减少了未知量个数。下面对这种体积元模型加以介绍。

Maxwell 方程组<sup>[65]</sup>

$$\nabla \times E = -j\omega\mu H \quad (2-4)$$

$$\nabla \times H = j\omega\varepsilon E + J \quad (2-5)$$

$$\nabla \cdot (\varepsilon E) = \rho \quad (2-6)$$

$$\nabla \cdot (\mu H) = 0 \quad (2-7)$$

其中， $E$  为电场强度， $\omega$  为角频率， $\mu$  为磁导率， $H$  为磁场强度， $\varepsilon$  为介电常数， $J$  为传导电流密度， $\rho$  为电荷密度， $J$  和  $E$  满足

$$J = \sigma E \quad (2-8)$$

其中， $\sigma$  为电导率。对于准静态的电磁场，由于  $\sigma \gg \omega\varepsilon$ ，可以忽略位移电流  $j\omega\varepsilon E$ ，对式(2-5)两边取散度，得到

$$\nabla \cdot J = 0 \quad (2-9)$$

由于  $H$  为无散场，可以将  $H$  表示成矢量  $A$  的旋度，即

$$\mu H = \nabla \times A \quad (2-10)$$

其中， $A$  为矢量磁位，矢量磁位的积分公式

$$A(\vec{r}) = \frac{\mu}{4\pi} \int_{V'} \frac{J(\vec{r}')}{|\vec{r} - \vec{r}'|} dv' \quad (2-11)$$

且  $A$  满足

$$\nabla \cdot A = 0 \quad (2-12)$$

将式(2-10)代入式(2-4)有

$$\nabla \times (E + j\omega A) = 0 \quad (2-13)$$

从上式可知，存在一个标量电位，满足

$$-\nabla \Phi = E + j\omega A \quad (2-14)$$

将式(2-8)和(2-11)代入式(2-14)就得到了积分方程

$$\frac{J(\vec{r})}{\sigma} + \frac{j\omega\mu}{4\pi} \int_{V'} \frac{J(\vec{r}')}{|\vec{r} - \vec{r}'|} dv' = -\nabla \Phi(\vec{r}) \quad (2-15)$$

结合式(2-9)，求解上面的方程可以得到电流密度  $J$  与电位  $\Phi$ ，进而得到导体的频变电感和电阻。

### 2.2.1 离散化处理

在高频下，导体横截面上电流分布不均匀，为求解方程(2-15)，需做离散化处理。在磁准静态（MQS）的假设下<sup>[66]</sup>，对于横截面尺寸相对于其纵向尺寸较小的导体，其电流是沿着导体长度方向流动的。对于具有转角、弯曲的封装结构，诸如管脚等，导体可以分成若干根直导体段。为描述趋肤效应，将导体在截面上离散为电流细丝（filament），每根电流细丝上的电流密度为常数，如图 2.2 所示。

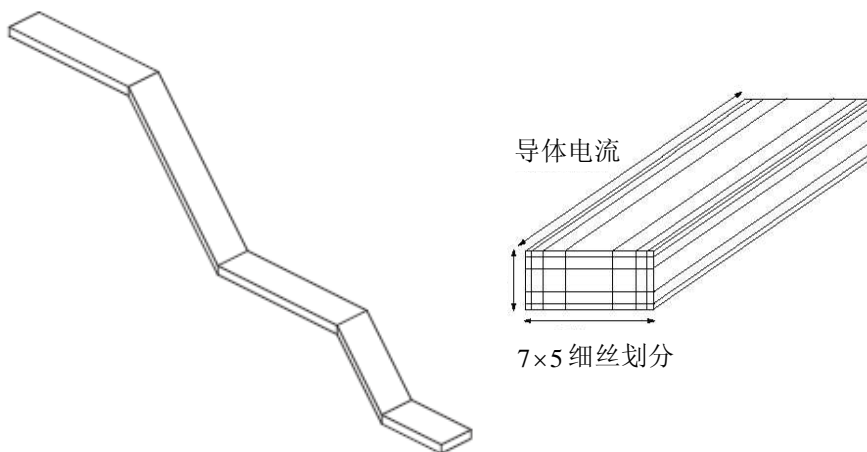


图 2.2 单根导体的分段以及细丝划分<sup>[15]</sup>

在离散平板导体或衬底时，由于电流在二维平面内流动，需要在一点上设定 2 个相互正交方向，才能描述二维电流方向，如图 2.3 所示。

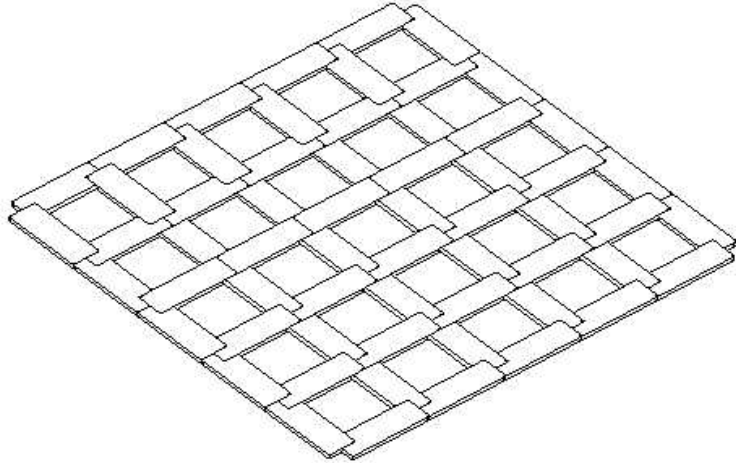


图 2.3 平板导体的离散，其中导体段宽度为实际的  $1/3$ <sup>[67]</sup>

为了更好的仿真衬底的三维涡流，需在一点设定 3 个相互正交方向，对应 3 根细导线，如图 2.4 所示。

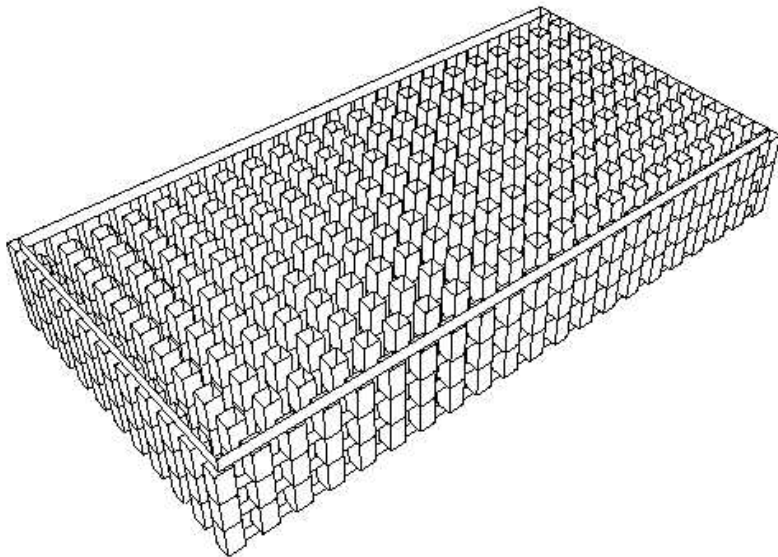


图 2.4 用三个方向的电流细丝仿真衬底<sup>[12]</sup>

假定将导体划分为  $b$  根电流细丝，每根电流细丝中的电流密度为常量，则导体电流密度分布  $J(\vec{r})$  可以表示为

$$J(\vec{r}) = \sum_{i=1}^b I_i w_i(\vec{r}) \vec{l}_i \quad (2-16)$$

其中,  $I_i$  为电流细丝  $i$  的电流强度,  $a_i$  为电流细丝截面面积,  $\vec{l}_i$  为电流细丝长度方向的单位矢量, 定义权函数

$$w_i(\vec{r}) = \begin{cases} 1/a_i, & \text{在电流细丝内} \\ 0, & \text{在电流细丝外} \end{cases} \quad (2-17)$$

利用矩量法<sup>[68]</sup>, 将电流密度的展开式(2-16)代入积分方程(2-15), 得到  $b$  个线性方程

$$\left( \frac{l_i}{\sigma a_i} \right) I_i + j\omega \sum_{j=1}^b \left( \frac{\mu}{4\pi a_i a_j} \int_{V_i} \int_{V_j} \frac{\vec{l}_i \cdot \vec{l}_j}{|\vec{r} - \vec{r}'|} dV_j dV_i \right) I_j = \frac{1}{a_i} \int_{a_i} (\Phi_A - \Phi_B) dA \quad (2-18)$$

其中,  $l_i$  为电流细丝的长度,  $\Phi_A$ 、 $\Phi_B$  为导体两个端面  $A$ 、 $B$  上的电位,  $V_i$ 、 $V_j$  分别为电流细丝  $i$ 、 $j$  的体积元。式(2-18)的右端等于电流细丝两端的平均电位差

$$\frac{1}{a_i} \int_{a_i} (\Phi_A - \Phi_B) dA = \tilde{\Phi}_A - \tilde{\Phi}_B \quad (2-19)$$

将离散的积分方程(2-18)写成矩阵形式

$$(R + j\omega L) I_b = \tilde{\Phi}_A - \tilde{\Phi}_B \quad (2-20)$$

其中,  $I_b \in C^b$  为  $b$  根细丝上电流组成的列向量,  $R$  是细丝电阻矩阵, 为  $b \times b$  对角矩阵, 其对角元素为

$$R_{ii} = \frac{l_i}{\sigma a_i} \quad (2-21)$$

其他元素为 0。  $L$  是细丝之间的部分电感矩阵, 为  $b \times b$  矩阵, 是一个稠密矩阵。电感矩阵中的元素为

$$L_{ij} = \frac{\mu}{4\pi a_i a_j} \int_{V_i} \int_{V_j} \frac{\vec{l}_i \cdot \vec{l}_j}{|\vec{r} - \vec{r}'|} dV_j dV_i \quad (2-22)$$

矩阵方程(2-20)可写成

$$Z I_b = V_b \quad (2-23)$$

其中,  $Z = R + j\omega L$  是导体系统的阻抗矩阵,  $V_b = \tilde{\Phi}_A - \tilde{\Phi}_B$  是导体电压向量。

## 2.3 K 参数提取算法

### 2.3.1 K 矩阵的定义和局部性

前一章提到，电感的提取难点之一是电流回路不确定。上一节介绍的 PEEC 模型，将电流回路设在无限远处，解决了电流回路不确定的问题。但由于电感效应的长耦合性，得到的部分电感矩阵是一个稠密矩阵。而稠密矩阵不利于电感提取以及后期的电路仿真。K 参数方法的提出，解决了这个问题。下面进行详细的介绍。

对于一个部分电感矩阵  $L$ ，K 参数矩阵被定义为  $L$  矩阵的逆<sup>[27]</sup>

$$K = L^{-1} \quad (2-24)$$

该定义源于电容与电感之间的关系

$$[L_{loop}] = \mu_0 \varepsilon_0 [C_0]^{-1} \quad (2-25)$$

其中， $\mu_0$  和  $\varepsilon_0$  分别为真空中的磁导率和介电常数。研究表明<sup>[27]</sup>，K 参数矩阵具有与电容矩阵类似的良好局部性，即忽略两块相隔较远导体之间的 K 参数不会给 K 参数提取带来大的精度损失。文[27]用图 2.5 中五根平行等长的导体结构对 K 参数矩阵的局部特性做出说明，其中导体宽度为  $2\mu\text{m}$ ，长度为  $20\mu\text{m}$ ，高度为  $2\mu\text{m}$ ，相邻导体的间距为  $5\mu\text{m}$ ，工作频率为 10GHz。

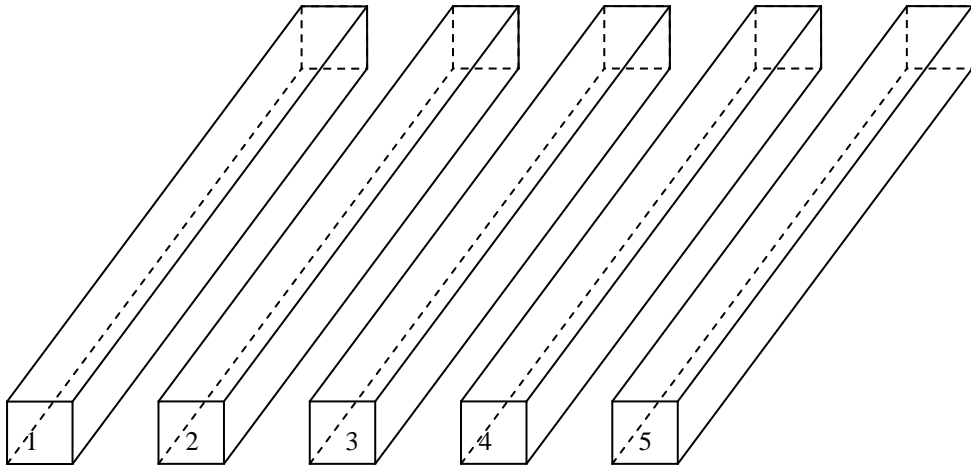


图 2.5 五根平行导体<sup>[27]</sup>

我们使用 FastHenry<sup>[17]</sup>对此结构提取部分电感(FastHenry 被公认为电感提取

结果的标准), 该系统部分电感矩阵如下<sup>[27]</sup>

$$L = \begin{bmatrix} 11.4 & 4.26 & 2.54 & 1.79 & 1.38 \\ 4.26 & 11.4 & 4.26 & 2.54 & 1.79 \\ 2.54 & 4.26 & 11.4 & 4.26 & 2.54 \\ 1.79 & 2.54 & 4.26 & 11.4 & 4.26 \\ 1.38 & 1.79 & 2.54 & 4.26 & 11.4 \end{bmatrix} pH \quad (2-26)$$

再将 L 矩阵求逆, 可得到 K 参数矩阵<sup>[27]</sup>

$$K = \begin{bmatrix} 103 & -34.1 & -7.80 & -4.31 & -3.76 \\ -34.1 & 114 & -31.6 & -6.67 & -4.31 \\ -7.80 & -31.6 & 115 & -31.6 & -7.80 \\ -4.31 & -6.67 & -31.6 & 114 & -34.1 \\ -3.76 & -4.31 & -7.80 & -34.1 & 103 \end{bmatrix} \times 10^9 H^{-1} \quad (2-27)$$

同时, 求出该结构的电容矩阵为<sup>[27]</sup>

$$C = \begin{bmatrix} 555 & -202 & -43.8 & -23.5 & -20.9 \\ -202 & 631 & -187 & -37.0 & -23.5 \\ -43.8 & -187 & 634 & -187 & -43.9 \\ -23.5 & -37.0 & -187 & 631 & -202 \\ -20.9 & -23.5 & -43.9 & -202 & 555 \end{bmatrix} pF \quad (2-28)$$

从式(2-26)、(2-27)和(2-28)可以看出, 在矩阵 L 中, 非对角元素  $L_{51}$  是主对角元  $L_{11}$  的 12.2%, 而在矩阵 K 和矩阵 C 中, 非对角元素  $K_{51}$  和  $C_{51}$  仅对角元  $K_{11}$  和  $C_{11}$  的 3.65% 和 3.8%。这表明, 与 C 矩阵类似, K 矩阵的非对角元递减速度远大于 L 矩阵, 表现出显著的局部性<sup>[27]</sup>。

我们设最中间的导体 (即导体 3) 为主导体, 将自电感、自 K 参数、自电容设为 1, 互电感、互 K 参数、互电容分别按相应比例缩小。然后比较这些互电感、互 K 参数、互电容分别相对于自电感、自 K 参数、自电容的比值。即, 将电感、K 参数和电容矩阵写成

$$L = 11.4 \times \begin{bmatrix} 1.00 & 0.37 & 0.22 & 0.16 & 0.12 \\ 0.37 & 1.00 & 0.37 & 0.22 & 0.16 \\ 0.22 & 0.37 & 1.00 & 0.37 & 0.22 \\ 0.16 & 0.22 & 0.37 & 1.00 & 0.37 \\ 0.12 & 0.16 & 0.22 & 0.37 & 1.00 \end{bmatrix} pH \quad (2-29)$$

$$K = 115 \times \begin{bmatrix} 0.90 & -0.30 & -0.07 & -0.04 & -0.03 \\ -0.30 & 1.00 & -0.28 & -0.06 & -0.04 \\ -0.07 & -0.28 & 1.00 & -0.28 & -0.07 \\ -0.04 & -0.06 & -0.28 & 1.00 & -0.30 \\ -0.03 & -0.04 & -0.07 & -0.30 & 0.90 \end{bmatrix} \times 10^9 H^{-1} \quad (2-30)$$

$$C = 634 \times \begin{bmatrix} 0.88 & -0.32 & -0.07 & -0.04 & -0.03 \\ -0.32 & 1.00 & -0.30 & -0.06 & -0.04 \\ -0.07 & -0.30 & 1.00 & -0.30 & -0.07 \\ -0.04 & -0.06 & -0.30 & 1.00 & -0.32 \\ -0.03 & -0.04 & -0.07 & -0.32 & 0.88 \end{bmatrix} pF \quad (2-31)$$

我们将互电感、互 K 参数、互电容的比值（即这三个矩阵的第三列元素，舍去前面的因子，即将  $L_{33}$ ,  $K_{33}$ ,  $C_{33}$  认为是 1），用图 2.6 的柱状图画出。从图中可以看出，互 K 参数和互电容的比值非常接近，但互电感的比值比互 K 参数、互电容的比值大很多。从这个结果，我们可以看出，部分 K 参数效应具有局部性，而部分电感效应具有长程性。

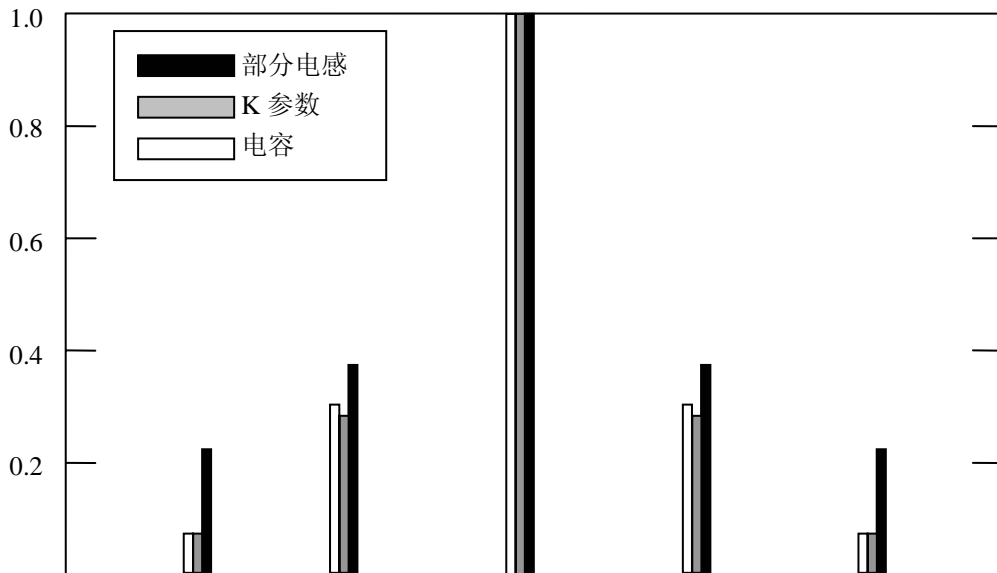


图 2.6 部分电感、K 参数和电容比值比较

接下来，介绍一下 K 参数的屏蔽性。K 参数的局部性和 K 参数的屏蔽性密切相关。假设导体内电流均匀流动，一根导体的自感或者两根导体的互感可以

由近似公式得到<sup>[69]</sup>。这是因为在导体内部，假设电流均匀流动，其他导体对这两根导体的自感和互感的计算没有影响。但是，其他导体对两根导体的互 K 参数却有影响。正因为如此，要找到仅通过两根导体的信息，直接计算出互 K 参数的简单公式，几乎是不可能的。我们需要通过求解整个系统的方程，来计算部分 K 参数。

我们将中间 3 根导体（导体 2 到导体 4）去掉，只留下导体 1 和导体 5，如图 2.7 所示。对于这个结构，提取出电感矩阵为

$$L = \begin{bmatrix} 11.4 & 1.38 \\ 1.38 & 11.4 \end{bmatrix} pH \quad (2-32)$$

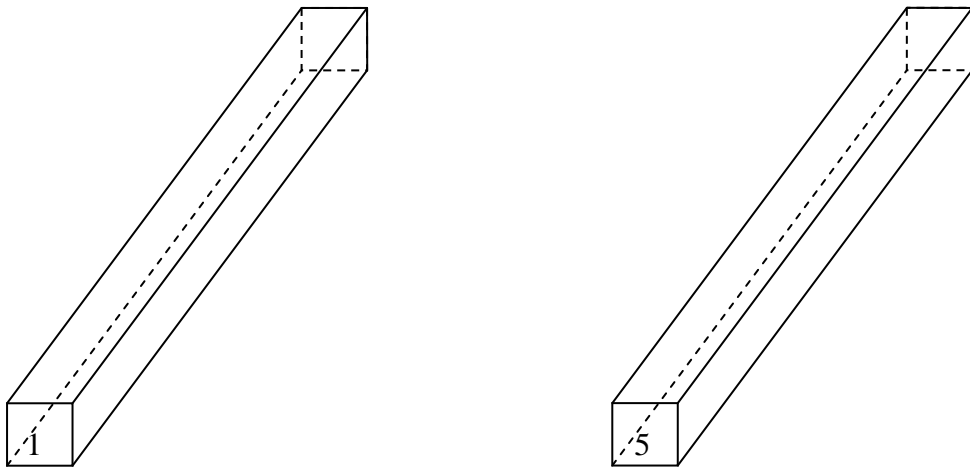


图 2.7 去掉中间 3 根导体后

将电感矩阵求逆后，得到 K 参数矩阵为

$$K = \begin{bmatrix} 8.89 & -1.07 \\ -1.07 & 8.89 \end{bmatrix} \times 10^9 H^{-1} \quad (2-33)$$

从上面的结果可以看出，导体 1 和 5 之间的互电感并没有因为去掉导体 2 到 4 而改变。但是，有了导体 2、3、4 的遮挡，导体 1 和 5 之间的耦合 K 参数  $K_{15}$  与自 K 参数  $K_{11}$  的比值为 3.65%；而没有导体 2、3、4 的遮挡，导体 1 和 5 之间的耦合 K 参数  $K_{15}$  与自 K 参数  $K_{11}$  的比值为 12.0%；前者仅有后者的 30.3% 左右。

K 参数的屏蔽性，与 K 矩阵具有较好的局部性关系密切。适当忽略其中较小的元素，仍可保持良好的计算精度，基于 K 参数的提取方法正是建立在这个事实上。



### 2.3.2 K 参数提取算法的过程

目前，K 参数提取算法的一般过程如下。

第一步，对每一根导体（称其为主导体），应用某种窗口划分算法为其划分出邻近导体（耦合范围），这里“邻近”的意义视所应用的窗口划分算法而定。一般来说，窗口的划分，与其他导体（环境导体）和主导体的远近程度以及导体间彼此屏蔽的程度相关。

第二步，计算此主导体与其耦合窗口内环境导体之间的 K 参数，同时主导体与其耦合窗口外导体间的 K 参数被忽略并记为 0。这是根据 K 矩阵的局部性，忽略较小的元素。这一步可以得到 K 参数矩阵的一列元素。

第三步，依次将每根导体设为主导体并执行上面两步操作，将所有得到的局部 K 参数填入全局 K 矩阵中。由于忽略了距离较远或被屏蔽导体间的 K 参数，所以全局的 K 矩阵具有良好的稀疏性。

因此，用 K 参数进行电感建模，比用部分电感进行电感建模，更具有优势。

### 2.3.3 窗口划分算法

基于 K 参数的算法，需要结合窗口划分算法，为主导体选择邻近导体。如果不考虑导体离散化带来的误差，那么精度损失主要来源于窗口划分中对较远导体耦合项的忽略。因此，如何选定耦合窗口成为保证 K 参数提取算法精度的关键，也是决定最终 K 参数矩阵稀疏程度的关键，也决定了计算的效率。较大的窗口可以得到精度较高的结果，但会使计算时间急剧增加，全局 K 参数矩阵非零元素相对较多；较小的窗口虽然使计算速度提高，但计算精度又会受到很大影响。文[30]提出一种基于导体屏蔽思想的窗口划分算法，但只适用于简单的二维平面导体分布，不适用于复杂的三维结构。在此基础上，本课题组考虑了导体屏蔽与导体间距离的影响，充分考虑了导体结构的复杂性，并给出了一个可适用于复杂三维互连结构的窗口划分算法。本节将介绍这种窗口划分算法的主要思想。

在介绍该窗口划分算法之前，首先考察一下影响导体间耦合作用的因素，对后续窗口划分过程提供指导性的思路。首先给出主导体和环境导体的定义。

**主导体与环境导体：**在 K 矩阵的计算中，依次对每块导体上设置某种特殊条件（例如 1V 偏压），称被施以这种特殊条件的导体为主导体，其余不特殊设置的导体为环境导体。

划分窗口的意义在于：当某块导体设为主导体后，主导体对窗口以外导体的感应电流可认为是零。因此，可以通过大致估算环境导体上的电流分布，将那些电流相对较大的导体划入耦合窗口中。环境导体与主导体之间的距离是一个较为明显的影响因素，但对于复杂的三维导体结构来说，如何量化导体间的“距离”并非易事。文[30]中以导体中心点的间距直接作为导体距离，这往往不能正确反映耦合作用的强弱。

另外，除了要解决判断导体距离的问题，还需要进一步考虑影响环境导体之间的屏蔽作用。图 2.8 给出一个例子来说明这种情况。设导体  $a$  为与主导体直接相邻的某导体（如图 2.8(a)），其感应电流为  $I_a$ ，由电磁学知识可知，其方向应当与主导体上的电流方向相反。如果在导体  $a$  和主导体之间插入导体  $b$ （如图 2.8(b)），导体  $b$  上同样会感应出一个与主导体电流方向相反的电流  $I_b$ 。因为  $I_b$  是交变电流，在空间产生的磁场将会影响到导体  $a$ ，并感应出一个与  $I_b$  电流方向相反的电流  $I'_a$ 。此时导体  $a$  的电流等于两个方向相反的电流  $I_a$  和  $I'_a$  的叠加，通常情况下， $I'_a$  是一个较小的电流值，它使得导体  $a$  的电流幅值小于插入导体  $b$  之前的电流  $I_a$ 。所以当环境导体和主导体之间插入其它导体时，屏蔽作用的影响将减小环境导体上的感应电流。事实上，这也正是  $K$  参数具有局部性的原因，这也可以解释图 2.5、2.7 的结构在去掉导体 2、3、4 前后，互  $K$  参数  $K_{15}$  相对于自  $K$  参数  $K_{11}$  的比值变化的原因。屏蔽作用的存在导致环境导体的电流快速下降。可见，在划分导体耦合窗口时，不仅需要考虑导体间距离的因素，也要考虑导体屏蔽的影响。

图 2.8 仅是在平面范围内考虑导体耦合作用，当考察对象扩大至三维空间的导体群时，问题将变得更为复杂。这是因为在三维结构下，计算每两根导体之间的距离并为之排序，需要一个较高的时间复杂度，计算效率太低。因此，我们的算法采用一种简化的办法，将主导体和环境导体分别投影到各坐标平面，把三维结构转化为二维结构来处理。但平面投影的距离并不能反映导体间的真实距离，所以在通过导体投影判断导体间耦合作用时，还必须辅以导体的距离参数帮助判断。下面先借助图 2.9 介绍算法中涉及到的若干定义，之后对算法进行描述。

**扩展搜索范围：**设主导体长度为  $L_y$ ，扩展搜索因子为  $x$ ，将主导体两端沿长度方向扩展比例  $x$ ，所形成的一段长为  $(1+2x)L_y$  的线段称为扩展搜索范围。

**有效搜索范围：**将扩展搜索范围沿  $X$  轴方向左右延伸至无限远处所得到的长

方形区域，称为有效搜索范围，如图 2.9 中标记的阴影区域。

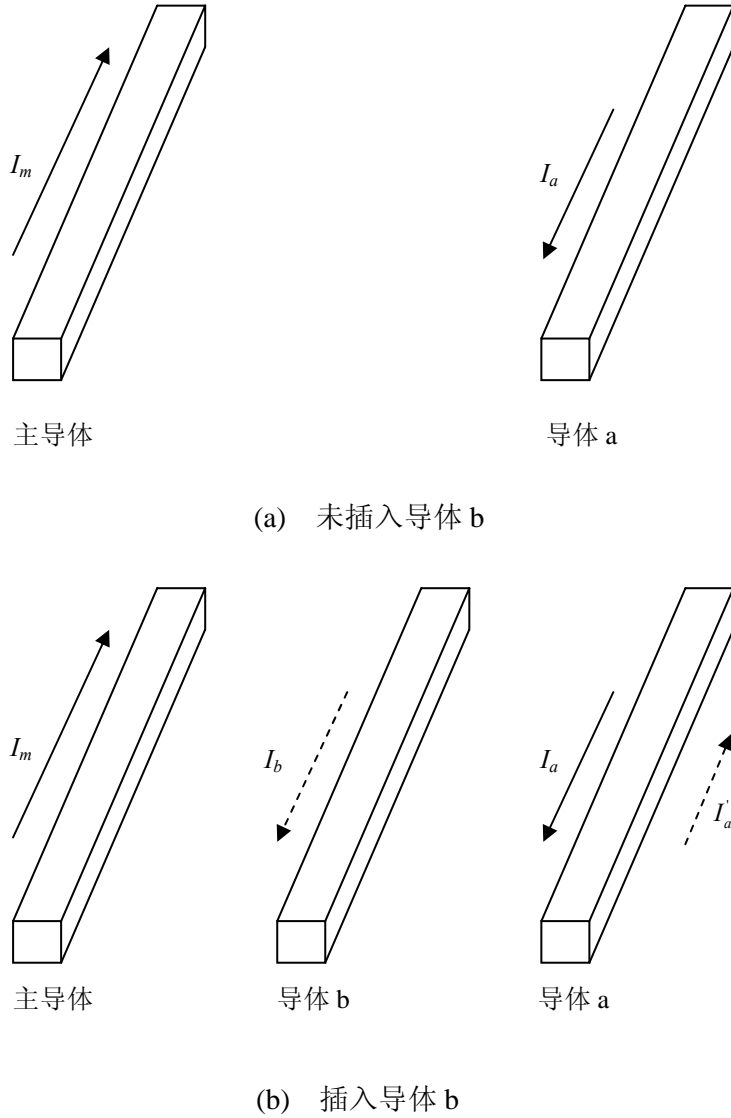


图 2.8 导体的屏蔽作用实例

**有效距离：**环境导体与主导体之间的有效距离是指该环境导体位于主导体有效搜索范围内的部分与主导体间的中心距离。

**耦合导体与耦合级别：**如果一根环境导体的部分或全部位于主导体有效搜索范围内，则称其为主导体的耦合导体。如果某耦合导体与主导体之间被  $k$  根耦合导体屏蔽，则称该耦合导体的耦合级别为  $k + 1$ 。

**最大耦合级别：**在确定每两根导体之间的耦合级别后，可指定一个最大耦合

级别，那些小于最大耦合级别的环境导体以及主导体本身一起构成耦合窗口。

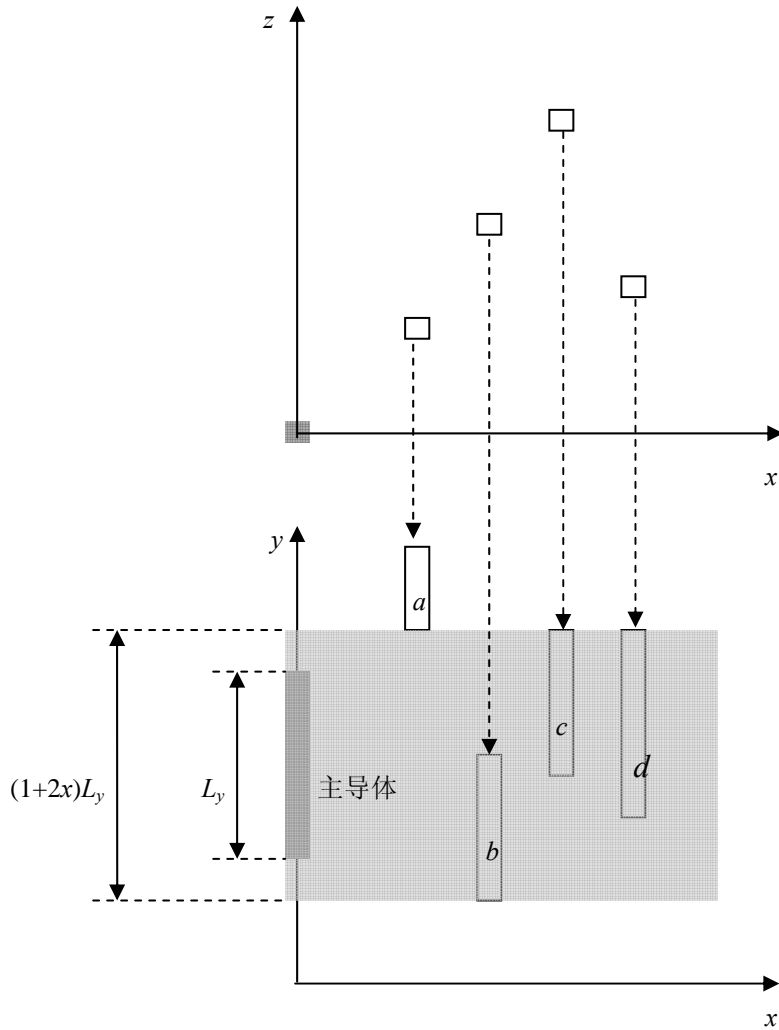


图 2.9 窗口划分的一个例子<sup>[15]</sup>

下面以图2.9为例说明我们的窗口划分算法。图2.9的上半部分是导体在XOZ平面的投影，下半部分是在XOY平面的投影。标记为灰色的导体是主导体，导体a、b、c、d为环境导体。通过有效搜索范围内导体的屏蔽关系和导体的三维空间距离可确定它们的耦合级别。算法过程如下。

1. 将每根导体分别在XOY, YOZ和ZOX平面上投影，如果某根导体垂直于坐标面，则忽略其投影点。以下用 $i_{xy}$ 表示导体*i*在XOY平面上的投影。

2. XOY平面上的导体投影分别按中心点的X、Y坐标值排序，在两个方向各得到一根导体投影序列。在YOZ和ZOX平面进行同样的操作，总共可得到6个有序的导体投影序列。

3. 对 XOY 平面内沿 X 方向的导体投影序列, 从左至右依次设导体  $i$  为主导导体, 并对导体投影做如下操作。

(a) 令  $j = i+1$ , 则  $j_{xy}$  是  $i_{xy}$  右侧第一根导体投影。

(b) 如果  $j_{xy}$  不在  $i_{xy}$  的有效搜索区域内, 或  $j_{xy}$  已经确定了与  $i_{xy}$  的耦合级别, 则令  $j = i+1$ , 重复本步。

(c) 如果在  $j_{xy}$  右侧存在没有确定耦合级别的投影  $k_{xy}$ , 而  $k_{xy}$  处于  $i_{xy}$  的有效搜索区域内, 且导体  $k$  与  $i$  的有效距离小于导体  $j$  与  $i$  的有效距离, 则令  $j = k$ , 重复本步。

(d) 考察  $j_{xy}$  被多少个已确定耦合级别的导体投影所屏蔽 (即考察它处于多少个  $i_{xy}$  右侧已确定耦合级别的导体投影的搜索范围内), 记  $j_{xy}$  与  $i_{xy}$  的耦合级别为  $\min$  (屏蔽导体的数目) + 1。由于屏蔽  $j_{xy}$  不同部分的导体投影数目可能不同, 这里取最小值。

(e) 重复(a)-(d)步操作, 直到  $i_{xy}$  右侧所有导体投影的耦合级均已被确定。由于对称性,  $i_{xy}$  左侧某块导体  $s_{xy}$  对  $i_{xy}$  的耦合级别等于导体  $i_{xy}$  对  $s_{xy}$  的耦合级别, 而前者已在较早被确定。

4. 对其余 5 根导体序列做类似步骤 3 的操作。对任意导体  $i, j$ , 取它们在各个投影序列中所得到的耦合级别最小值作为它们最终的耦合级别。

需要指出的是, 以上算法并不保证完全准确, 有可能会不适当地忽略一些具有较大电流的导体, 或者选入一些具有较小电流的导体。事实上, 除了在前文中指出的距离和屏蔽效应这两个关键因素以外, 还有很多影响导体感应电流的参数。它们多且复杂, 在具体计算之前难以通过快速近似的方法给出精确排序。我们的窗口划分算法只是希望在计算复杂度和精度之间得到一个较好的折衷。大量算例的实验数据表明, 这一方法能为导体系统选定一个满足精度且后续计算量又不是很大的耦合窗口。

从算法的过程可以看出, 影响算法计算速度与精度的主要参数有两个: 一是扩展搜索因子  $x$ , 一是最大耦合级别。显然, 如果令  $x$  取一个充分大的值, 使得任一主导体的有效搜索范围均包含所有导体, 同时令最大耦合级别大于导体总数, 那么任一主导体的耦合窗口都包含了所有导体, 此时这一方法将给出导体系统的精确解。但是在近似求解的过程中, 这两个参数并非越大越好。一些例子的实际计算表明, 过于增加  $x$  的值, 对于计算精度并没有显著改善, 却增加了局部窗口内的导体数, 降低了计算速度。由于不同芯片互连结构的复杂性往

往相差很大，在基于  $K$  参数的互连提取过程中，为了达到较好的计算速度和精度的平衡，要针对具体结构，选择适当的扩展搜索因子和最大耦合级别这两项参数。

## 2.4 本章小结

本章介绍了 PEEC 模型下，体积元方法计算频变电感电阻的基本原理以及  $K$  参数提取的一般过程和窗口选择算法。

## 第3章 频变 K 参数的有效提取算法

K 参数（部分电感矩阵的逆）由于其较好的局部特性，被广泛接受并用于对互连电感效应建模。而且，K 参数已经被商业电路仿真软件支持，如 HSPICE<sup>[41]</sup>。本章提出了一种考虑高频效应的，K 参数快速提取算法。该算法基于窗口技术<sup>[36]</sup>与 K 参数直接提取方法<sup>[38-39]</sup>，在窗口内采用改进的细丝阻抗复用技术、方程维度压缩以及矩阵系数平衡等技术，加速线性方程组的形成和求解，同时也能快速提取出频变电阻。

数值实验表明，对于几个典型的片上以及封装互连结构，本章提出的频变 K 参数和电阻提取算法比 MIT 开发的著名软件原型 FastHenry<sup>[17]</sup>快几十甚至几百倍，同时保持了较高的计算精度。

### 3.1 考虑高频效应的 K 参数提取

#### 3.1.1 高频效应的考虑

在高频情况下，会出现趋肤效应和邻近效应，统称为高频效应。首先简单介绍一下趋肤效应。

对于阻抗的计算为

$$Z = R + j\omega L \quad (3-1)$$

其中， $\omega$  为角频率， $\omega = 2\pi f$ ， $f$  为频率。

在低频时，阻抗中起主导作用的是电阻，对于一个横截面有限的互连线，电流将均匀分布在该横截面上，使得电阻最小。当频率逐渐增加时，阻抗中的电感部分将占主导地位，这是因为阻抗的虚部是电感与  $\omega$  相乘。当频率较高时，导体内电流分布如图 3.1 所示，其中颜色深的地方表示电流密度较大，颜色浅的地方表示电流密度较小。从图 3.1 可见，越靠近导体表面的位置，电流密度越大；反之，越靠近导体中心的位置，电流密度越小。

在邻近效应的影响下，相邻导体之间的电流分布更加复杂。因此，高频效应给电感的提取带来了困难。

由于在高频情况下，导体横截面上电流分布不均匀。为了捕获高频效应，我们需要将导体离散，得到一系列沿导体长度方向的细丝（filament）。并且，考虑

到导体表面电流密度较大，细丝的粗细是不同的。在划分的时候，应在靠近导体表面的部分进行较密的划分，而靠近导体中心的部分则划分得相对粗糙，即非均匀的划分。图 3.2 是导体在横截面上做 $5 \times 3$ 细丝划分的结构示意图。导体划分为细丝的实际数目以及方式，主要取决于频率和互连结构特点。在磁准静态假设（MQS）下<sup>[66]</sup>，可认为电流均沿着细丝的长度方向流动，并且每根细丝内电流分布均匀。

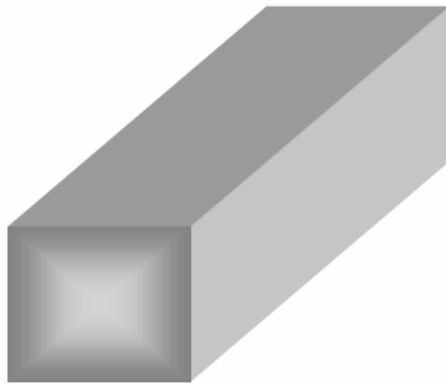


图 3.1 趋肤效应示意图

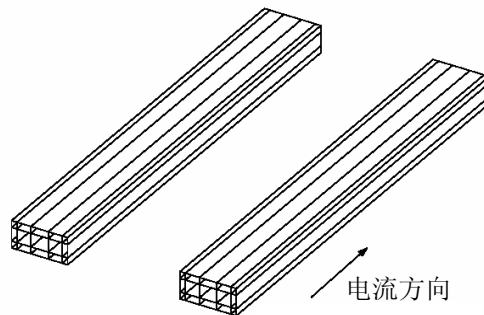


图 3.2 两根平行导体，各被划分为 $5 \times 3$ 的不均匀细丝

现有的有关  $\mathbf{K}$  参数方法的工作，大多数未考虑高频效应，而随着时钟频率的增加，高频效应已不可忽略，频变  $\mathbf{K}$  参数的有效提取还值得进一步研究。文[35]阐明了考虑高频效应的重要性，并提出了一种频变  $\mathbf{K}$  参数的提取算法。但该算法需多次计算矩阵求逆或者求解方程组，效率不高。文[36]对  $\mathbf{K}$  参数的局部性原理加以推广，提出高频下复数导纳矩阵（阻抗矩阵的逆矩阵）也具有局部性，从而得到一种有效的频变电感电阻提取算法，但该算法仅适用于极高频情况，



在理论上存在一定的近似。文[38-39]提出了K参数直接提取算法，但是方程求解效率不高，本章基于窗口技术和K参数直接提取方法，在窗口内采用改进的细丝阻抗复用技术、方程维度压缩以及矩阵系数平衡等技术，加速线性方程组的形成和求解，同时也能快速提取出频变电阻。

### 3.1.2 考虑高频效应的K参数提取过程

在高频下，如果不考虑高频效应，提取的结果不够准确。美国 Wisconsin 大学的 Charlie Chen 等人曾提出一种考虑了高频效应的K参数提取算法<sup>[35]</sup>，具有较高精度，其主要过程如下。

1. 对每根导体  $i$ ，通过一定的窗口划分算法，将它和与其相距较近（相互作用较强）的导体组成一个窗口  $W_i$ 。

2. 对于每个窗口  $W_i$ ，

(a) 将窗口内所有导体划分细丝，计算细丝阻抗。

(b) 依次设窗口内每根导体为主导体（主导体两端电压设为 1V，而其他导体电压设为 0V，设为 0V 的导体，称为环境导体），求解相应的细丝电路方程组，得到细丝电流，进而得到导体电流分布。若窗口  $W_i$  中有  $n_i$  根导体，此步骤需要执行  $n_i$  次。

(c) 求得导体电流分布后，可组成一个窗口内导体导纳矩阵  $Y_i$ 。

(d) 将导纳矩阵  $Y_i$  求逆后，即得窗口内导体阻抗矩阵  $Z_i$ 。根据  $Z_i = R + j\omega L_i$ ，可得到窗口内导体部分电感矩阵  $L_i$ 。

(e) 由于K矩阵为  $L_i^{-1}$ ，求解一次以  $L_i$  为系数矩阵的线性方程组可得到导体  $i$  与窗口内其他导体的耦合K参数。

3. 对所有导体执行步骤 1、2，这些耦合K值即组成一个稀疏的全局K参数矩阵。

上述过程中单个耦合窗口内的工作如图 3.3 所示。

将上述过程和第 2 章一般的K参数提取过程比较，考虑高频效应后，K参数提取变得更加复杂，主要是窗口内的操作复杂了。下面我们主要分析窗口内的计算复杂度（即第 2 步的计算量）。

设一个窗口内导体的数目为  $n$ ，划分细丝后细丝的数目为  $m$ ，在步骤(b)中，需要对一个  $m \times m$  的复系数方程组求解  $n$  个右端项，其运算量等同于对一个  $2m \times 2m$  的实系数方程组求解  $n$  个右端项；步骤(d)为对一个  $n \times n$  的复数矩阵求逆；

在步骤(e)中，需要求解一次  $n \times n$  的实系数方程组。由于细丝数目  $m$  往往比导体数  $n$  大得多，上述几个步骤中，步骤(b)的计算量占主导地位。步骤(b)设置  $n$  次导体偏压并求解相应方程，但仅能在(e)步求得出—列耦合  $K$  参数，因此设置偏压的次数有再减小的余地。在下一节，将给出一种有效的窗口内  $K$  参数计算方法。

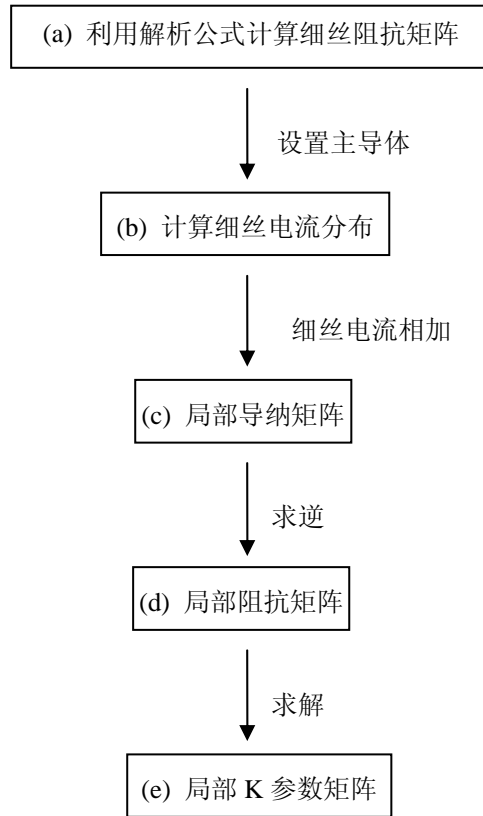


图 3.3 考虑高频效应的窗口内  $K$  参数提取过程

## 3.2 窗口内频变 $K$ 参数的有效提取

### 3.2.1 $K$ 参数的快速提取方法

考虑一个含有  $n$  根导体的系统，设各导体电流组成的向量为  $I$ ，各导体两端电压组成的向量为  $V$ ，则在磁准静态假设下，满足复数方程

$$(R + j\omega L)I = V \quad (3-2)$$

其中， $I, V \in C^n$  为复数向量， $R, L \in R^{n \times n}$ ， $R, L$  分别是系统的电阻矩阵和电感矩阵。

电感矩阵。 $\omega$ 为电流和电压信号的角频率， $j$ 为虚数单位。而矩阵 $K$ 为矩阵 $L$ 的逆矩阵

$$K=L^{-1} \quad (3-3)$$

结合公式(3-2)和(3-3)，得到

$$j\omega I = K(V - RI) \quad (3-4)$$

如果能设法使向量 $V - RI$ 的第 $i$ 个分量为 $j\omega$ ，其余分量为0，那么相应的导体电流向量 $I$ 将等于矩阵 $K$ 的第 $i$ 列，即得到导体 $i$ 与其余导体之间的 $K$ 参数。设 $e_i$ 为除第 $i$ 个分量为1外，其余分量均为0的 $n$ 维向量，则计算 $K$ 参数就转变为在

$$V - RI = j\omega e_i \quad (3-5)$$

的前提下，求各导体的电流值。

为考虑高频效应，需将导体沿电流方向划分为若干细丝，假设细丝内部电流分布均匀。设 $n$ 根导体离散后形成 $m$ 根细丝，对第 $s$ 根细丝，其两端电压和电流满足关系式<sup>①</sup>

$$\hat{R}_{ss} \hat{I}_s + j\omega \sum_{k=1}^m \hat{L}_{sk} \hat{I}_k = \hat{V}_s \quad (3-6)$$

其中， $\hat{R}_{ss}$ 为细丝 $s$ 的电阻， $\hat{L}_{sk}$ 为细丝 $s$ 和 $k$ 的互电感， $\hat{I}_k$ 为细丝 $k$ 的电流。由于细丝内电流均匀分布，细丝电阻可由直流电阻公式计算

$$\hat{R}_{ii} = \frac{\hat{l}_i}{\sigma \hat{a}_i} \quad (3-7)$$

其中， $\sigma$ 为细丝的电阻率， $\hat{l}_i$ 、 $\hat{a}_i$ 分别为细丝的长度和横截面积。而细丝的电感可由积分公式计算<sup>[69]</sup>

$$\hat{L}_{sk} = \frac{\mu_0}{4\pi \hat{a}_s \hat{a}_k} \int_{\hat{a}_s} \int_{\hat{a}_k} \int_{l_s} \int_{l_k} \frac{d\vec{l}_s d\vec{l}_k}{\|\vec{r}_s - \vec{r}_k\|} d\hat{a}_k d\hat{a}_s \quad (3-8)$$

其中，向量 $\vec{l}_s$ 和 $\vec{l}_k$ 是电流方向单位向量， $\vec{r}_s$ 和 $\vec{r}_k$ 分别是细丝 $s$ 和细丝 $k$ 内任意点的矢量。

对每根细丝列方程(3-6)，所有这些方程可合并为矩阵形式的方程

① 在本章，我们用变量符号上的“^”来区分导体和细丝的有关物理量。

$$(\hat{R} + j\omega\hat{L})\hat{I} = \hat{V} \quad (3-9)$$

其中,  $\hat{R}, \hat{L} \in R^{m \times m}$ , 分别为细丝电阻矩阵和细丝电感矩阵, 其中,  $\hat{R}$  为实对角矩阵。

我们定义网孔矩阵

$$M_{ik} = \begin{cases} 1, & \text{细丝}k\text{属于导体}i \\ 0, & \text{其他情况} \end{cases} \quad (3-10)$$

其中,  $M \in R^{n \times m}$ 。导体电流和电压, 与细丝电流和电压的关系满足

$$I = M\hat{I} \quad (3-11)$$

$$V = M^T\hat{V} \quad (3-12)$$

下面我们讨论在满足方程(3-5)的条件下, 如何构造方程, 求解出各导体上的电流  $I$ 。首先, 因为矩阵  $K$  是实数矩阵, 则根据(3-4)和(3-5)可知, 导体电流  $I$  也为实数向量, 再根据公式(3-11)和(3-12), 可得到方程

$$I_{im} = M \cdot \hat{I}_{im} = 0 \quad (3-13)$$

其中,  $\hat{I}_{im} \in R^m$  为  $\hat{I}$  的虚部。

将细丝电流、电压向量写成实部和虚部相加的形式

$$\hat{I} = \hat{I}_{re} + j\hat{I}_{im} \quad (3-14)$$

$$\hat{V} = \hat{V}_{re} + j\hat{V}_{im} \quad (3-15)$$

然后带入公式(3-9), 得到

$$\hat{R}\hat{I}_{re} - \omega\hat{L}\hat{I}_{im} = \hat{V}_{re} \quad (3-16)$$

$$\hat{R}\hat{I}_{im} + \omega\hat{L}\hat{I}_{re} = \hat{V}_{im} \quad (3-17)$$

再考察公式(3-5), 由于  $R$ 、 $I$  分别为实矩阵和实向量, 那么  $V$  向量的虚部满足

$$V_{im} = \omega e_i \quad (3-18)$$

应用公式(3-11)和(3-12), 再将(3-18)带入, 方程(3-16)、(3-17)变为

$$\hat{R}\hat{I}_{re} - \omega\hat{L}\hat{I}_{im} = M^T V_{re} \quad (3-19)$$

$$\hat{R}\hat{I}_{im} + \omega\hat{L}\hat{I}_{re} = M^T \omega e_i \quad (3-20)$$

将方程(3-13), (3-19), (3-20)合并写成矩阵形式

$$\begin{bmatrix} \hat{R} & -\omega\hat{L} & -M^T \\ \omega\hat{L} & \hat{R} & 0 \\ 0 & M & 0 \end{bmatrix} \begin{bmatrix} \hat{I}_{re} \\ \hat{I}_{im} \\ V_{re} \end{bmatrix} = \begin{bmatrix} 0 \\ \omega M^T e_i \\ 0 \end{bmatrix} \quad (3-21)$$

求解这个线性方程组, 得到  $\hat{I}_{re}, \hat{I}_{im}$ , 然后根据  $I = M\hat{I}$  计算出各导体上电流, 从而得到导体  $i$  与其他导体间的耦合  $\mathbf{K}$  参数。每个窗口建立并求解方程(3-21)各一次, 即得到  $\mathbf{K}$  参数的一列。在每个窗口内, 仅需要设置一次偏压, 即公式(3-5)。公式(3-21)的系数矩阵和前文介绍的文[35]中算法的步骤 2(b) (图 3.3 中步骤(b)所示) 类似, 仅有  $M$  带来了少量的额外开销。但由于  $M$  是一个很稀疏的矩阵, 因此, 额外的计算量很小。在一个窗口内, 本章算法仅需要设置一次偏压, 即右端项仅有一个; 但文[35]的算法, 需要设置  $n$  次偏压 ( $n$  为当前窗口的导体数目), 即右端项有  $n$  个。显然, 此方法比文[35]的算法更高效。而且, 我们还对窗口内的方程建立和求解分别进行了改进, 将于下文介绍。

### 3.2.2 方程求解的改进

式(3-21)的维度为  $2m+n$ ,  $n$  和  $m$  分别为窗口内导体和细丝的数目, 为保证计算精度, 对于某些导体的窗口, 其对应的  $2m+n$  的值可能达到几百, 需考虑有效的方程求解技术, 来提高算法效率。而且, 对于含有  $N$  根导体的系统, 在求解  $\mathbf{K}$  参数时, 需要为每根导体选择其对应的耦合窗口, 而每个窗口内, 都需要建立方程(3-21)并求解。方程的求解在整个计算中, 占有主要的计算量。对方程求解的改进, 可以有效的提高计算效率。**GMRES** 算法是求解非对称线性方程组的有效迭代解法<sup>[70]</sup>, 本文即采用此方法求解方程。而且, 通过下面的改进, 方程的求解速度可以进一步提高。

改进一: 方程维度压缩。

在(3-5)的条件下, 导体电流分布在数值上等于  $\mathbf{K}$  参数矩阵的一列, 而  $\mathbf{K}$  参数矩阵是实数矩阵, 因此, 导体电流  $I$  为实数向量。而导体电流为其划分的所有细丝电流之和, 因此, 我们没有必要求解  $\hat{I}_{im}$ 。下面我们设法从方程(3-21)中消除变量  $\hat{I}_{im}$ , 从而进行方程维度压缩, 提高效率。

由方程(3-21)中的第二组方程可得

$$\hat{I}_{im} = \omega \hat{R}^{-1} M^T e_i - \omega \hat{R}^{-1} \hat{L} \hat{I}_{re} \quad (3-22)$$

将(3-22)代入(3-21)中的第一和第三组方程，得到

$$(\mathbf{1} + (\omega \hat{R}^{-1} \hat{L})^2) \hat{I}_{re} - \hat{R}^{-1} M^T V_{re} = \omega^2 \hat{R}^{-1} \hat{L} \hat{R}^{-1} M^T e_i \quad (3-23)$$

$$M \hat{R}^{-1} \hat{L} \hat{I}_{re} = M \hat{R}^{-1} M^T e_i \quad (3-24)$$

其中， $\mathbf{1}$  代表单位矩阵。将(3-23)和(3-24)联立，得到  $m+n$  维的矩阵形式方程

$$\begin{bmatrix} \mathbf{1} + (\omega \hat{R}^{-1} \hat{L})^2 & -\hat{R}^{-1} M^T \\ M \hat{R}^{-1} \hat{L} & 0 \end{bmatrix} \begin{bmatrix} \hat{I}_{re} \\ V_{re} \end{bmatrix} = \begin{bmatrix} \omega^2 \hat{R}^{-1} \hat{L} \hat{R}^{-1} M^T e_i \\ M \hat{R}^{-1} M^T e_i \end{bmatrix} \quad (3-25)$$

由于细丝电阻矩阵  $\hat{R}^{-1}$  为对角阵，方程(3-25)中  $\hat{R}^{-1}$  很容易算出。另外， $M$  矩阵是很有规律的稀疏矩阵，上述方程维度压缩过程主要的时间开销是计算  $(\omega \hat{R}^{-1} \hat{L})^2$ ，约  $m^3$  操作。方程维度从  $2m+n$  压缩为  $m+n$ ，而由于细丝的数目  $m$  通常比导体数目  $n$  大很多，因此，方程维度下降约 50%，而仅引入了很少的额外时间开销。

改进二：矩阵系数平衡。

直接使用 GMRES 求解方程组(3-25)，迭代收敛速度慢且可能不收敛。究其原因，我们发现方程(3-25)中第一组方程的系数  $\mathbf{1} + (\omega \hat{R}^{-1} \hat{L})^2$  的值大约为 1 和 10 之间，而第二组方程的系数  $M \hat{R}^{-1} \hat{L}$ ，其数量级却在  $10^{-11}$  到  $10^{-9}$  之间。矩阵系数间较大的数量级差别，导致了 GMRES 算法收敛的不稳定。为解决此问题，我们将第二组方程的系数放大  $\omega$  倍（对于考虑的问题， $\omega = 2\pi f$ ， $f$  为 10GHz），所求解的方程变为

$$\begin{bmatrix} \mathbf{1} + (\omega \hat{R}^{-1} \hat{L})^2 & -\hat{R}^{-1} M^T \\ \omega M \hat{R}^{-1} \hat{L} & 0 \end{bmatrix} \begin{bmatrix} \hat{I}_{re} \\ V_{re} \end{bmatrix} = \begin{bmatrix} \omega^2 \hat{R}^{-1} \hat{L} \hat{R}^{-1} M^T e_i \\ \omega M \hat{R}^{-1} M^T e_i \end{bmatrix} \quad (3-26)$$

我们通过数值实验，测试了方程维度压缩和矩阵系数平衡技术的效果。我们选取了片上和片外的典型例子：如片上供电网络结构和片外封装结构。表 3.1 列出了一个具有两层金属线的供电网络结构（如图 3.6）和一个实际工艺的封装结构（如图 3.8）GMRES 求解时每个窗口的平均迭代次数。从表 3.1 中我们可以看出，采用方程维度压缩和矩阵系数平衡后，GMRES 算法求解的迭代步数明显减少、且变得非常稳定。特别对于耦合紧密的结构，求解方程(3-26)具有更高的效率。

表 3.1 方程求解改进前后 GMRES 迭代次数比较

例子	平均迭代次数	
	改进前	改进后
供电网络结构	44.2	17.6
封装结构	142.4	18.0

### 3.2.3 细丝电感快速计算

在高频情况下,为考虑趋肤效应和邻近效应的影响,每根导体都沿电流方向划分为若干细丝。窗口内主要的时间是建立和求解方程。前一节,我们已经对方程的求解进行了改进,而方程的建立,较为耗时的是细丝电感矩阵的建立。即方程(3-26)中矩阵 $\hat{L}$ 的建立。下面给出改进方法。

由公式(3-8)可知,细丝之间的互感仅依赖于它们的尺寸、相对位置和方向。因此,我们可以采用复用技术来加快细丝电感的计算。在FastHenry<sup>[17]</sup>中,其复用技术采用了9个参数来记录细丝对的信息。其中6个为细丝的长、宽、高,另外3个为2根细丝中心点的连线矢量。当计算细丝互感时,FastHenry先查表,看是否能找到相匹配的细丝尺寸和中心点的连线矢量,如果找到,就可使用复用技术;否则,用公式(3-8)计算,并存入表中。

文[36]改进了此复用技术,查找表中使用导体对的信息。因为相同尺寸的导体通常采用相同的细丝划分,因此,文[36]的方法提高了复用效率。而且,文[36]的改进,可以处理更多的情况。此方法共有12个参数,其中6个参数记录两根导体的长、宽、高,其余6个参数记录两根导体对应端面中心点的连线矢量。此方法可以处理非平行细丝对的复用。但是,文[36]使用线性表来实现查找表,用线性表作为数据结构,插入表和查找表的操作都需要 $O(N_n)$ ,其中, $N_n$ 是线性表的节点数目。当导体的数目很多时,使用线性表的效率将会降低。

在本章,我们采用哈希表代替线性表来加速文[36]的方法,改变数据结构后,细丝阻抗的计算可以有效的提高。在哈希表中,为了避免冲突,共有 $N_b$ 个桶,每个桶用一个线性表来表示。哈希函数的输入为导体对的信息,即前面提到的12个参数 $Par_i(i=1, 2, \dots, 12)$ 。定义哈希函数

$$H(\{Par_i\}) = c \left[ \sum_{i=1}^{12} i \cdot Par_i \right] \bmod N_b \quad (3-27)$$

其中,  $c$  是一个固定的系数。这些导体对的信息最后映射为一个值为 0 到  $N_b-1$  的整数。

我们设桶的数量为  $N_b = N_n^2/2$ 。实验数据表明, 导体对均匀分散很少发生冲突。我们给出两个例子, 一个含有 2 层金属线的供电网络结构和一个封装结构, 表 3.2 给出了不同细丝复用技术的细丝阻抗计算时间比较。从表中我们可以看出, 采用改进的细丝阻抗复用技术后, 比原始的 FastHenry 方法快几至数十倍, 比文 [36] 的方法减少 13% 左右的时间开销。

表 3.2 不同细丝复用技术计算时间的比较 (单位: 秒)

例子	细丝阻抗计算时间		
	FastHenry 方法	[36]方法	本章方法
供电网络结构	25.01	0.76	0.66
封装结构	68.94	19.11	16.55

### 3.3 频变电阻的提取

在高频情况下, 互连电阻的值也将随频率变化。下面我们分析如何在提取出 K 参数的基础上计算互连频变电阻。

设窗口  $W_i$  中含有  $n$  根导体, 导体  $i$  上的电压  $V_i$  和导体电流  $I_i$  满足关系

$$V_i = \sum_{k=1}^n R_{ik} I_k + j\omega \sum_{k=1}^n L_{ik} I_k \quad (3-28)$$

在满足公式(3-5)的条件下, 导体电流向量  $I$  等于矩阵  $K$  的一列, 因此导体电流均为实数。因此, 将(3-28)式的实部和虚部分开, 得到

$$V_{re,i} = \sum_{k=1}^n R_{ik} I_k \approx R_{ii} I_i \quad (3-29)$$

这个假设主要有两个原因: 第一, 只要频率不是非常高, 导体之间的互电阻  $R_{ik} (i \neq k)$  便可近似认为是零; 第二, 电流  $I_i$  比  $I_k$  大很多, 因为它们分别为自 K



参数和互 K 参数。因此，可将式(3-29)近似简化得到

$$R_{ii} = V_{re,i} / I_i \quad (3-30)$$

其中  $V_{re,i}$  和  $I_i$  分别为求解导体  $i$  窗口中方程(3-26)而得到的导体  $i$  电压的实部和导体  $i$  的电流。因此，我们在 K 参数提取的基础上，只用非常小的代价便可求得导体频变电阻。

### 3.4 算法流程

整个频变 K 参数和电阻的提取算法计算流程，可总结如下。

1. 依据导体的尺寸特征和给定的频率，将每根导体离散为若干细丝。
  2. 假设有  $N$  根导体。对每根导体  $i$ ，采用 2.3.3 节介绍的窗口划分算法形成导体的耦合窗口  $W_i$ 。
  3. 初始化全局矩阵  $K_{asym} = \mathbf{0}$ 。
  4. 对于每个窗口  $W_i$  ( $i$  从 1 到  $N$ )，设窗口内导体数目为  $n_i$ ，将它们划分成  $m_i$  根细丝，有
    - (a) 通过 3.2.3 节的细丝复用技术，形成细丝间的部分电感矩阵  $\hat{L}$  和细丝电阻矩阵  $\hat{R}$ ，以及网孔矩阵  $M$ 。
    - (b) 将导体  $i$  对应的元素设为  $j\omega$ ，其他元素为 0，这样构造出的  $n_i$  维向量即为  $V-RI$  的取值。
    - (c) 形成方程(3-26)，并用 GMRES 求解，得到解向量  $\hat{I}_{re}$ 。
    - (d) 利用公式  $I = M\hat{I}_{re}$  计算出当前窗口的导体电流分布，将其赋值给全局矩阵  $K_{asym}$  的第  $i$  列。
    - (e) 根据公式(3-30)计算出电阻  $R_{ii}$ 。
  5. 通过  $K = \frac{1}{2} \cdot (K_{asym} + K_{asym}^T)$  生成对称的 K 参数矩阵。
- 上述过程中单个耦合窗口的计算流程（即第 4 步）如图 3.4 所示。

### 3.5 算法复杂度分析

首先，本章算法需要通过窗口划分方法为每根主导体选择一个耦合窗口。窗口的大小，决定了窗口内导体的数目，也决定了最终的计算时间和计算精度。而窗口内的操作，由于是在窗口内进行，因此，时间复杂度和窗口内的导体数

目有关，而不是与整个结构的导体数目相关，这也是 K 参数方法的一个重要优势。

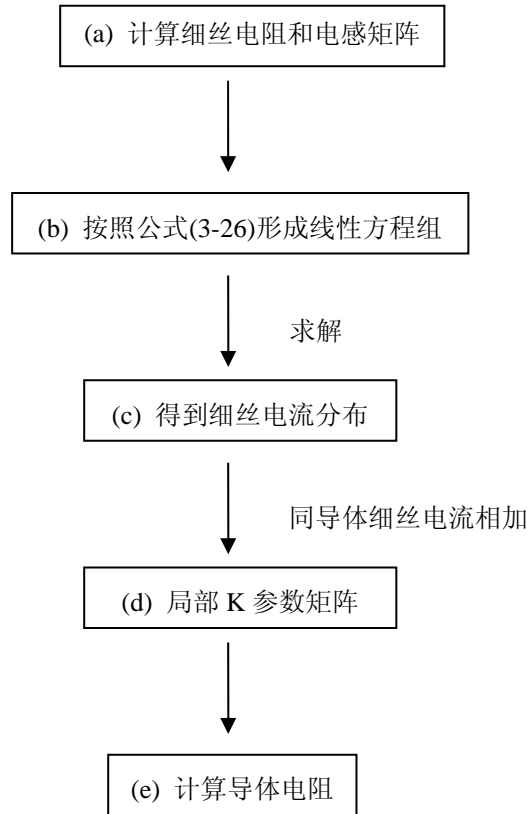


图 3.4 窗口内频变 K 参数和电阻提取过程

在窗口内，需要建立和求解方程。在建立方程过程中，主要的时间开销为建立细丝阻抗矩阵（图 3.4 中步骤(a)）；而线性方程组的求解，在整个计算时间开销中占据主要地位。我们在这两方面均做了改进：一方面，我们通过改进的细丝阻抗复用技术，加速了细丝阻抗矩阵的建立；另一方面，我们又通过方程维度压缩，矩阵系数平衡等技术来改进方程组的求解，使得窗口内方程组求解的计算复杂度为  $O(N^\alpha)$ ，其中  $N$  是当前窗口所得方程(3-26)的维度， $\alpha$  的值在 1 和 2 之间。

对于整个系统，将每根导体依次设为主导体。每设一次主导体，求解一次线性方程组，就可求得 K 参数矩阵的一列。对比第 3.1.2 节对文[35]提出算法的分析，可以看出，本章提出的算法，具有更高的计算效率。

### 3.6 数值结果

本章算法实现在名为 FRRE (Frequency-dependent Reluctance and Resistance Extractor) 的程序中, 该程序考虑了高频效应, 可用于计算复杂三维结构的频变 K 参数和电阻。下面通过几个典型的算例将其与著名的三维电感电阻提取软件 FastHenry 进行比较, 所有实验均在 Sun Ultra V880 服务器 (主频 750 MHz) 上进行, 测试的频率均为 10GHz。

#### 3.6.1 片上互连结构

第 1 个例子是一个信号线结构, 由 300 根导体组成, 平行放置, 如图 3.5 所示。每根导体的宽和高均为  $1.0\mu\text{m}$ , 其长度随机生成、互不相同。分别将每根导体划分为  $2\times 2$  的细丝。

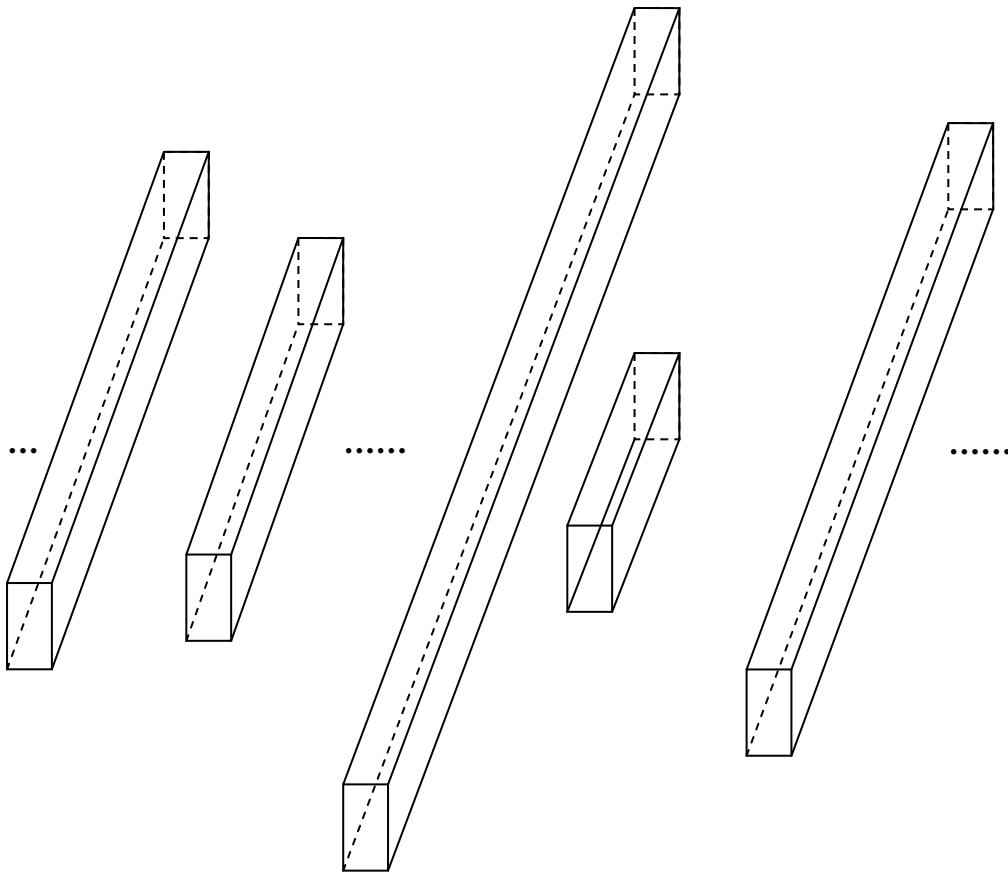


图 3.5 含 300 根信号线的随机生成结构

第 2 个例子是一个具有两层金属线的供电网络结构, 如图 3.6 所示。下层分

别有 12 根电源线和 12 根地线，每根金属线有 7 根金属小段。上层分别有 8 根电源线和 8 根地线，每根金属线有 11 根金属小段，总共有 344 根金属小段。

第 3 个例子也是供电网络结构，与第 2 个例子类似，但规模更大。下层分别有 24 根电源线和 24 根地线，每根金属线有 15 根金属小段。上层分别有 16 根电源线和 16 根地线，每根金属线有 23 根金属小段，总共有 1456 根金属小段。我们将这两个供电网络结构的每根金属小段做  $3 \times 3$  细丝划分。

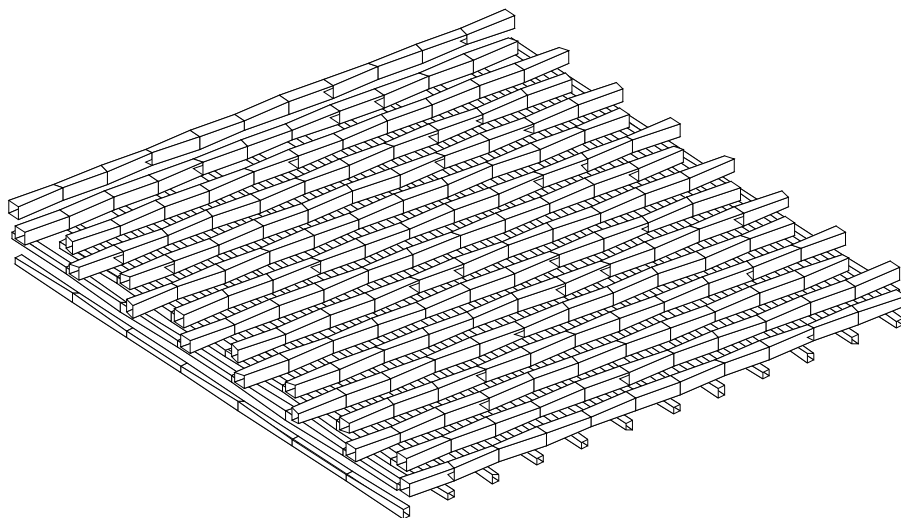


图 3.6 两层金属线的供电网络结构

FastHenry 被公认为电感提取结果的标准，为说明本章算法的准确性，将 FRRE 得出的 K 参数矩阵结果与 FastHenry 的结果进行比较。需要说明的是，我们的算法直接提取的结果是 K 参数矩阵，而 FastHenry 提取的结果则是部分电感矩阵  $L$ ，为了将两者进行比较，我们先将提取出的 K 参数矩阵求逆，得到电感矩阵  $L$ ，再与 FastHenry 进行比较。由于回路电感的结果对实际的电路仿真更为重要<sup>[27]</sup>，因此，在数值结果部分，列出了两两导体构成的回路电感  $L_{Loop}$  的误差分布。（这里“回路电感”是指任意两根导体构成的回路电感值，可由部分电感矩阵简单计算得到）。

$$L_{Loop_{ij}} = L_{ii} + L_{jj} - L_{ij} - L_{ji} \quad (3-31)$$

我们计算出所有导体对之间的回路电感，然后与 FastHenry 的对应结果进行比较，并统计不同误差区间所占的百分比。以 FastHenry 的结果为标准，FRRE 计算的回路电感的误差分布如表 3.3 所示。从表 3.3 可以看出，由本章方法得到

的回路电感的误差大多数在 6% 以内。同时，实验结果表明，电阻的计算误差均在 3% 以内。

表 3.3 片上互连结构精度比较

例子	误差分布			
	<3%	3-6%	6-9%	9-12%
1	95.5	4.2	0.3	0
2	94.1	5.9	0.0	0.0

表 3.4 列出了本章算法与 FastHenry 在计算时间方面的比较。从表中可以看出，FRRE 比 FastHenry 快几十至几百倍。“改进前”一栏是指方程改进前，即通过 GMRES 求解方程(3-21)来提取 K 参数的时间，“FRRE”一栏是方程求解改进后，即用 GMRES 求解方程(3-26)来提取 K 参数的时间。从表中数据可以看出，本章提出的方程维度压缩、矩阵系数平衡的 GMRES 算法明显提高了计算效率，减少了 14% 至 56% 的时间开销。此外，实验结果还表明采用这两种技术对计算结果的精度没有影响。“加速比”是指 FRRE 方法相对于 FastHenry 的加速比。对于第 3 个例子，由于导体数目以及细丝划分的情况，FastHenry 无法计算出该结构的部分电感，而 FRRE 方法没有这个问题。

表 3.4 片上互连结构时间比较（单位：秒）

例子	导体数目	本章方法		FastHenry	加速比
		改进前	FRRE		
1	300	19.88	8.73	855.2	98
2	344	16.0	13.5	6357.0	471
3	1456	79.6	68.5	--	--

由于计算频变电阻仅增加  $N$  次除法操作（公式(3-30)），其时间近似为零，表 3.4 中“FRRE”一栏的时间与整个 K 参数和电阻提取的时间完全一致。表 3.4

显示, 与 FastHenry 相比 (FastHenry 和 FRRE 采用相同的细丝划分来计算频变电感和电阻), FRRE 总计算时间的加速比为几十甚至几百。由于用 K 参数对电感建模的另一个主要优点是提高电路仿真效率, 可以预计在得到 K 参数后, 使用可处理 K 参数的电路仿真算法<sup>[29-30]</sup>, 其仿真速度将比用 FastHenry 得到的部分电感矩阵进行电路仿真快得多。而且, 由于 K 参数矩阵的稀疏性, FRRE 方法可以处理 FastHenry 不能处理的规模相对较大的结构。

### 3.6.2 封装结构

除了片上互连结构, 本章算法还可以应用到封装结构的 K 参数提取。封装结构通常比片上互连结构复杂。

第 4 个和第 5 个例子是实际工艺中的封装结构, 从 FastHenry 网站上得到。第 4 个例子 (如图 3.7) 是一个有 30 根管脚的结构, 共有 260 根导体。该结构一共有 5 层, 每层具有相同的结构, 分别有 6 个管脚。

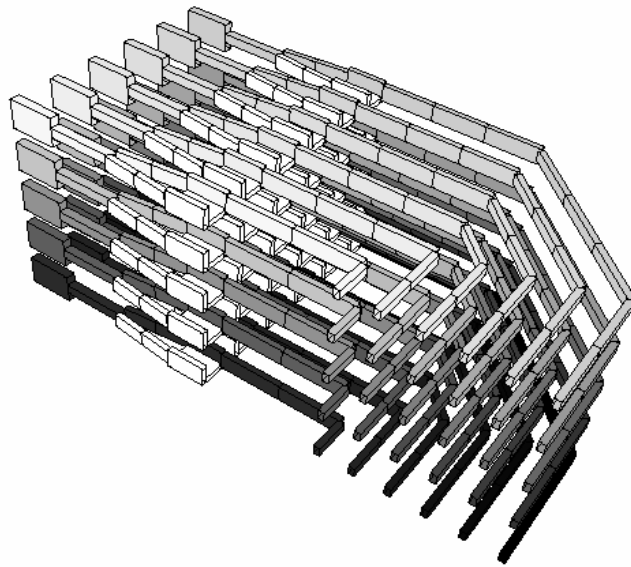


图 3.7 实际工艺中有 30 根管脚的结构

第 5 个例子 (如图 3.8) 是一个有 35 根管脚的封装结构, 共有 175 个导体, 其外边界约为  $2.8\text{mm} \times 1.4\text{mm} \times 0.22\text{mm}$ , 其中, 金属线的宽度在  $30.5\mu\text{m}$  和  $50.8\mu\text{m}$  之间变化, 金属线的厚度为  $21.6\mu\text{m}$ 。这两个例子, 分别将每根导体划分为  $3 \times 3$  和  $3 \times 5$  细丝。

对于封装结构, FRRE 计算的回路电感和电阻的误差分布如表 3.5 所示。从

表 3.5 可以看出，由本章方法得到的回路电感的误差大多数在 6% 以内。同时，实验数据表明，电阻计算的误差均在 3% 以内。而本章算法与 FastHenry 在计算时间方面的比较，于表 3.6 中列出。

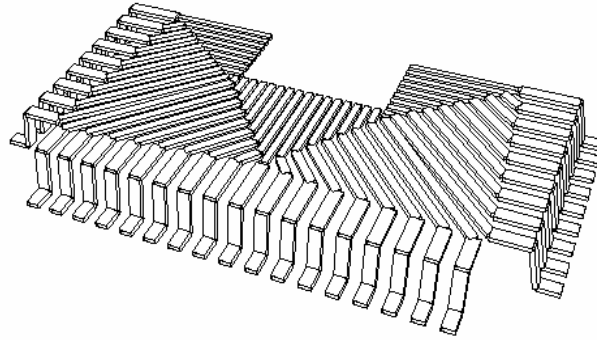


图 3.8 实际工艺中有 35 根管脚的封装结构

表 3.5 封装结构精度比较

例子	误差分布			
	<3%	3-6%	6-9%	>9%
4	46.5	26.3	12.4	14.8
5	73.0	20.5	5.7	0.8

表 3.6 封装结构时间比较（单位：秒）

例子	导体数目	本章方法		FastHenry	加速比
		改进前	FRRE		
4	260	14.27	8.73	5650.2	584
5	175	143.84	98.98	5796.3	59

最后，关于数值实验这部分再做一些补充和总结。

首先，通过实验数据可以看出，本章提出的考虑高频效应的 K 参数快速提取

算法，能够在保持较高计算精度的同时，兼具较好的计算效率，相比同类提取工具有几十至上百倍的加速比。有的算例加速比很高而有的相对偏低，有的提取结果很准确而有的稍差，这主要取决于具体的结构。 $K$  参数提取算法的原理是基于  $K$  参数具有良好的局部性，但是有些结构导体之间的耦合作用较强，如实验中两个封装结构的例子。因此，很难在较小窗口级别（较快速度）的情况下，提取出很精确的结果。而精度和速度本来就是一对矛盾，所以以上的结果只是我们在精度和速度取折衷的情况下得到的。其次，实验的例子既有随机生成的例子，也有来自工业界的实际例子；有片上互连结构，也有封装结构，其中不乏复杂的三维结构，例子的规模也有大有小。这就说明本章算法具有良好的适用性和实用性。

### 3.7 本章小结

本章提出了一种有效的快速提取频变  $K$  参数和电阻的算法。该算法考虑了高频效应，基于窗口技术和  $K$  参数直接提取方法。在每根导体的耦合窗口中，只进行一次偏压设置即可求出  $K$  参数矩阵的一列。通过改进的细丝阻抗复用技术，大大加速了细丝阻抗的计算；而提出的方程维度压缩、系数矩阵平衡等技术，大大提高了方程的求解效率。此外，在提取出  $K$  参数的基础上，还可方便地提取出频变电阻，仅需要很少的额外开销。数值实验结果表明，本章算法比著名的 FastHenry 软件快几十至几百倍，同时保持良好的计算精度。



## 第4章 大规模结构化供电网络结构的 K 参数提取

### 4.1 问题背景

随着集成电路工作频率和集成度的不断增加，芯片的供电需求也日益严峻，由此引起的过大电压降、寄生效应以及  $Ldi/dt$  噪声，都成为危及芯片性能和可靠性的隐患。供电网络的建模和分析是供电网络设计的基础。它在整个供电网络设计过程中起着举足轻重的作用，对设计的效率和最终效果具有决定性的影响。

早期的供电网络设计将供电网络看作纯电阻电路，也就是说，在分析和求解时，只考虑了线网上的寄生电阻参数，没有考虑电容和电感等寄生参数的影响。集成电路设计发展到深亚微米设计阶段，随着集成电路的工作频率迅速提高，电路中的寄生自感互感、寄生电容和封装参数对电路的影响随之逐渐扩大，已经到了不可忽略甚至非常严重的程度，为供电网络建立更精确的 RLC 模型成为必要。再加上低功耗技术的使用，需要准确考虑完整电感耦合效应的全芯片分析。供电网络的准确建模和电路仿真成为电路设计和验证的关键。

供电网络通常规模很大，有上万甚至更多的金属小段，这给供电网络的准确建模和电路仿真带来了巨大的挑战。师进等提出了一种大规模结构化供电网络的直流仿真算法<sup>[70-71]</sup>。该算法考虑了大规模结构化供电网络的结构特性，将拓扑结构的相似性转换到子矩阵的相似性。他们将整个大规模结构化供电网络在 X-Y 平面划分为若干个模块，然后复用模块间的电阻元素。但是，直流仿真并不能准确的分析信号完整性，因此需要包含电容和电感元素，对电路进行动态仿真。但动态仿真的前提是需要得到电感元素（或用 K 参数对电感建模）。由于电感矩阵往往是一个稠密矩阵，不适用于供电网络电感建模。用 K 参数对电感建模，比部分电感更具有优势，但现有的 K 参数提取方法，未考虑供电网络的结构特性，效率不高。大规模结构化供电网络电感（或 K 参数）提取十分耗时，特别是考虑高频效应时，效率更低。我们在师进的思想基础上进行扩展，提出了针对大规模结构化供电网络的 K 参数提取算法。必须指出，文[71]的思想并不能直接应用于 K 参数的提取，因为 K 参数是受环境影响的，而电阻元素不受环境影响。

本章提出了有效的针对大规模结构化供电网络结构的 K 参数提取算法,该算法基于大规模结构化供电网络的特点,利用 K 参数的局部性,采用有效的模块 K 参数复用技术。再结合第 3 章提出的有效的频变 K 参数和电阻的提取算法,本章提出的算法可以对大规模供电网络结构进行快速准确的电感建模。

数值实验表明,本章提出的频变 K 参数提取算法可以有效的处理包含十万数量级导体的大规模结构化供电网络,比 MIT 的著名软件原型 FastHenry<sup>[17]</sup>快上百倍,比现有的基于窗口的 K 参数提取方法快几倍至数十倍,同时保持了较高的计算精度。

## 4.2 结构化供电网络

随着工艺的发展和芯片集成度的提高,目前的集成电路通常采用多层布线技术,供电网络也是如此。最上层的金属层与封装及电源相连接,并通过通孔(via)与下层金属相连,最终连接到底层的器件层<sup>[73]</sup>。图 4.1 给出了一个含有三层电源/地线的供电网络结构的三维图。在每个金属层上,只存在水平或者垂直的供电轨道,且电源线(Power wire, P 线)和地线(Ground wire, G 线)轨道交错布置,相邻层的金属线相互垂直。一般说来,越往下层供电轨道越细,轨道之间的间距也越小。每根金属线可以看成被通孔划分为若干根金属小段,如图 4.2 所示。我们把每根金属小段看作是一根导体,对其提取 R, L, C 参数,来分析供电网络结构。

结构化供电网络是近年来工业界广泛采用的一种供电网络,它和一般供电网络的不同在于<sup>[74]</sup>

1. 结构化供电网上相邻两个布线金属层上的供电走线具有相同的宽度。
2. 结构化供电网络每一个金属层上的所有供电走线具有相同的宽度。
3. 结构化供电网每层上的金属走线均匀地放置在该金属层上。
4. 在相邻两个相互垂直的布线层之间,供电线相交的交点处均匀放置供电通孔。

由于结构化供电网的几何分布规整而均匀,所以相对于传统供电网,结构化供电网在采用 *nm* 工艺进行制造的时候,不存在临近光学矫正(OPC)的问题<sup>[75]</sup>,也不存在大面积金属填充的问题(Dummy Fill)<sup>[76]</sup>,这些优点使得结构化供电网在制造上更易于实现。

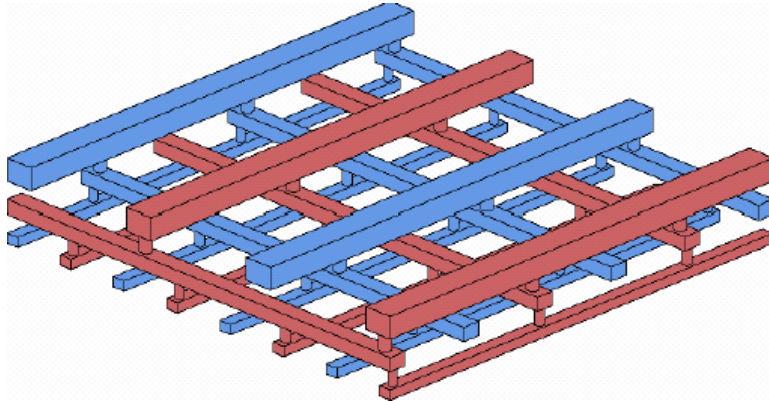


图 4.1 两层电源/地线的供电网络结构

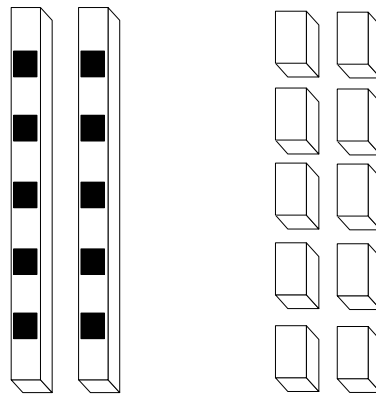


图 4.2 金属线划分为若干金属小段<sup>[71]</sup>

另一方面，结构化供电网络的拓扑只用很少的几个参数就可以定义，而传统的供电网络，由于完整的拓扑参数非常复杂，必须使用九元组集合才能描述完整，且每个集合的数量都非常大，所以要对这样的供电网络进行完全优化非常困难。

由于这两方面的优点，加上近年来芯片上可以使用的金属布线资源日益增加，供电网络面积优化的程度有所下降，所以，结构化供电网络才被工业界广泛使用<sup>[74]</sup>。

在设计早期，结构化供电网络通常是规则的网状（Mesh）结构，就是说，在相同层，每根金属线有相同的线宽，相邻的电源/地线之间的距离相等，这个线间距称为 *pitch*，相邻电源线和地线之间的线距离称为 *spacing*，同层的 *spacing* 相同。如果通孔只能连接相邻层，均匀的金属线分布，可以得到均匀的通孔分

布<sup>[71]</sup>。本章考虑了大规模结构化供电网络的特点，并利用这个性质来进行频变  $K$  参数和电阻的有效提取。

## 4.3 结构化供电网络提取算法

### 4.3.1 模块复用基本思想

师进等提出了针对大规模结构化供电网络的快速直流仿真算法<sup>[71]</sup>。该算法考虑了大规模结构化供电网络的结构规则性，将拓扑结构的相似性转换到子矩阵的相似性。他们将整个大规模结构化供电网络在  $X$ - $Y$  平面划分为若干个模块(如图 4.3)，然后复用模块间的电阻元素。本章把这个方法扩展到  $K$  参数的提取，用来对大规模结构化供电网络进行电感建模。

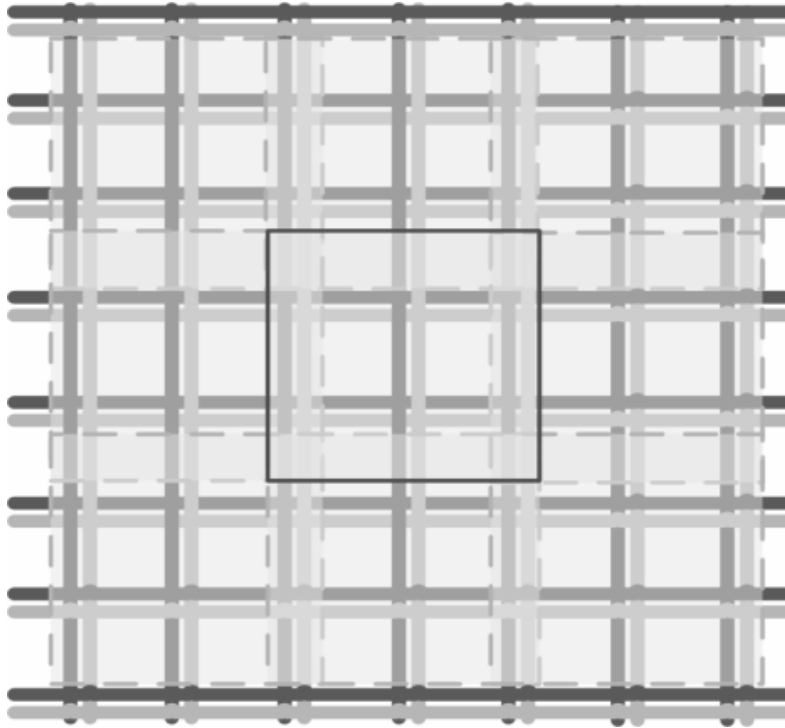
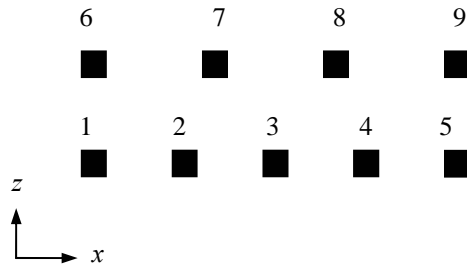


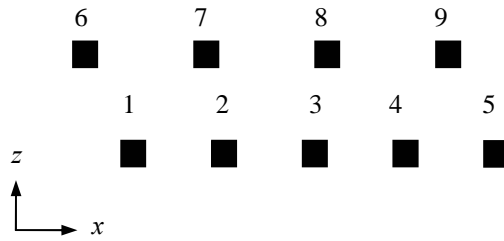
图 4.3 供电网络结构在  $X$ - $Y$  平面划分为重叠的模块<sup>[71]</sup>

但是，电阻与环境无关，而  $K$  参数与环境相关，文[71]的思想不能直接应用于结构化供电网络的  $K$  参数提取。图 4.4 给出了一个  $K$  参数受环境影响的例子。每个矩形代表一根  $Y$  方向的导体，分布于  $Z$  方向的两层。每根导体的线高、线宽等尺寸相同，同一层的线间距相同，且层高相同。我们分别提取出图 4.4(a)和

图 4.4(b)结构的电阻  $R$ ，部分电感矩阵  $L$  和  $K$  参数矩阵。



(a) 无错位放置



(b) 错位放置

图 4.4 K 参数受环境影响

对于图 4.4(a)无错位的放置，其电阻矩阵为

$$R_a = [0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38]^T \Omega \quad (4-1)$$

其电感矩阵为

$$L_a = \begin{bmatrix} 0.40 & 0.26 & 0.19 & 0.16 & 0.13 & 0.23 & 0.20 & 0.16 & 0.13 \\ 0.26 & 0.40 & 0.26 & 0.19 & 0.16 & 0.21 & 0.23 & 0.19 & 0.15 \\ 0.19 & 0.26 & 0.40 & 0.26 & 0.19 & 0.18 & 0.22 & 0.22 & 0.18 \\ 0.16 & 0.19 & 0.26 & 0.40 & 0.26 & 0.15 & 0.19 & 0.23 & 0.21 \\ 0.13 & 0.16 & 0.19 & 0.26 & 0.40 & 0.13 & 0.16 & 0.20 & 0.23 \\ 0.23 & 0.21 & 0.18 & 0.15 & 0.13 & 0.40 & 0.23 & 0.17 & 0.13 \\ 0.20 & 0.23 & 0.22 & 0.19 & 0.16 & 0.23 & 0.40 & 0.23 & 0.17 \\ 0.16 & 0.19 & 0.22 & 0.23 & 0.20 & 0.17 & 0.23 & 0.40 & 0.23 \\ 0.13 & 0.15 & 0.18 & 0.21 & 0.23 & 0.13 & 0.17 & 0.23 & 0.40 \end{bmatrix} \times 10^{-9} H \quad (4-2)$$

其  $K$  参数矩阵为

$$K_a = \begin{bmatrix} 4.89 & -2.03 & -0.14 & -0.10 & -0.10 & -1.44 & -0.24 & -0.03 & -0.06 \\ -2.03 & 5.87 & -1.95 & -0.09 & -0.10 & -0.44 & -0.86 & -0.08 & -0.03 \\ -0.14 & -1.95 & 5.86 & -1.95 & -0.14 & -0.05 & -0.65 & -0.65 & -0.05 \\ -0.10 & -0.09 & -1.95 & 5.87 & -2.03 & -0.03 & -0.08 & -0.86 & -0.44 \\ -0.10 & -0.10 & -0.14 & -2.03 & 4.89 & -0.06 & -0.03 & -0.24 & -1.44 \\ -1.44 & -0.44 & -0.05 & -0.03 & -0.06 & 4.51 & -1.41 & -0.16 & -0.13 \\ -0.24 & -0.86 & -0.65 & -0.08 & -0.03 & -1.41 & 5.14 & -1.34 & -0.16 \\ -0.03 & -0.08 & -0.65 & -0.86 & -0.24 & -0.16 & -1.34 & 5.14 & -1.41 \\ -0.06 & -0.03 & -0.05 & -0.44 & -1.44 & -0.13 & -0.16 & -1.41 & 4.51 \end{bmatrix} \times 10^9 H^{-1} \quad (4-3)$$

对于图 4.4(b)错位放置的结构，其电阻矩阵为

$$R_b = [0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38 \ 0.38]^T \Omega \quad (4-4)$$

其电感矩阵为

$$L_b = \begin{bmatrix} 0.40 & 0.26 & 0.19 & 0.16 & 0.13 & 0.22 & 0.21 & 0.17 & 0.14 \\ 0.26 & 0.40 & 0.26 & 0.19 & 0.16 & 0.19 & 0.23 & 0.20 & 0.16 \\ 0.19 & 0.26 & 0.40 & 0.26 & 0.19 & 0.16 & 0.20 & 0.23 & 0.19 \\ 0.16 & 0.19 & 0.26 & 0.40 & 0.26 & 0.14 & 0.17 & 0.21 & 0.22 \\ 0.13 & 0.16 & 0.19 & 0.26 & 0.40 & 0.12 & 0.15 & 0.18 & 0.22 \\ 0.22 & 0.19 & 0.16 & 0.14 & 0.12 & 0.40 & 0.23 & 0.17 & 0.13 \\ 0.21 & 0.23 & 0.20 & 0.17 & 0.15 & 0.23 & 0.40 & 0.23 & 0.17 \\ 0.17 & 0.20 & 0.23 & 0.21 & 0.18 & 0.17 & 0.23 & 0.40 & 0.23 \\ 0.14 & 0.16 & 0.19 & 0.22 & 0.22 & 0.13 & 0.17 & 0.23 & 0.40 \end{bmatrix} \times 10^{-9} H \quad (4-5)$$

其 K 参数矩阵为

$$K_b = \begin{bmatrix} 4.98 & -2.01 & -0.13 & -0.10 & -0.10 & -1.34 & -0.57 & -0.03 & -0.04 \\ -2.01 & 5.88 & -1.96 & -0.09 & -0.10 & -0.18 & -0.92 & -0.29 & -0.02 \\ -0.13 & -1.96 & 5.88 & -1.96 & -0.14 & -0.04 & -0.29 & -0.92 & -0.15 \\ -0.10 & -0.09 & -1.96 & 5.86 & -2.03 & -0.04 & -0.01 & -0.53 & -0.81 \\ -0.10 & -0.10 & -0.14 & -2.03 & 4.70 & -0.08 & -0.04 & -0.10 & -1.24 \\ -1.34 & -0.18 & -0.04 & -0.04 & -0.08 & 4.30 & -1.42 & -0.17 & -0.13 \\ -0.57 & -0.92 & -0.29 & -0.01 & -0.04 & -1.42 & 5.14 & -1.35 & -0.16 \\ -0.03 & -0.29 & -0.92 & -0.53 & -0.10 & -0.17 & -1.35 & 5.14 & -1.40 \\ -0.04 & -0.02 & -0.15 & -0.81 & -1.24 & -0.13 & -0.16 & -1.40 & 4.63 \end{bmatrix} \times 10^9 H^{-1} \quad (4-6)$$

从上面的提取结果矩阵可以看出，图 4.4(a)和图 4.4(b)中对应导体的电阻是相同的

$$R_i^a = R_i^b, i = 1, \dots, 9 \quad (4-7)$$

因此，文[71]可以将图 4.4(a)和图 4.4(b)看作是相同的结构（文[71]中称为 pattern）。我们观察电感矩阵  $L$ ，我们将同一层导体之间的电感矩阵定义为电感子矩阵， $L_{a1}$ 、 $L_{b1}$  分别为图 4.4(a)、(b)下层导体（导体 1-5）间的部分电感子矩阵， $L_{a2}$ 、 $L_{b2}$  分别为图 4.4(a)、(b)上层导体（导体 6-9）间的部分电感子矩阵。

$$L_{a1} = L_{b1} = \begin{bmatrix} 0.40 & 0.26 & 0.19 & 0.16 & 0.13 \\ 0.26 & 0.40 & 0.26 & 0.19 & 0.16 \\ 0.19 & 0.26 & 0.40 & 0.26 & 0.19 \\ 0.16 & 0.19 & 0.26 & 0.40 & 0.26 \\ 0.13 & 0.16 & 0.19 & 0.26 & 0.40 \end{bmatrix} \times 10^{-9} H \quad (4-8)$$

$$L_{a2} = L_{b2} = \begin{bmatrix} 0.40 & 0.23 & 0.17 & 0.13 \\ 0.23 & 0.40 & 0.23 & 0.17 \\ 0.17 & 0.23 & 0.40 & 0.23 \\ 0.13 & 0.17 & 0.23 & 0.40 \end{bmatrix} \times 10^{-9} H \quad (4-9)$$

可见，两个子图对应的两个电感子矩阵分别相同。两个子图中，同一层导体间的相对位置没有变化，所以，这两个子图对应的两个电感子矩阵分别相同。

接下来，我们观察另外两个电感子矩阵， $L_{ud}^a$ 、 $L_{ud}^b$  分别表示图 4.4(a)、(b)不同层导体间的耦合电感子矩阵

$$L_{ud}^a = \begin{bmatrix} 0.23 & 0.20 & 0.16 & 0.13 \\ 0.21 & 0.23 & 0.19 & 0.15 \\ 0.18 & 0.22 & 0.22 & 0.18 \\ 0.15 & 0.19 & 0.23 & 0.21 \\ 0.13 & 0.16 & 0.20 & 0.23 \end{bmatrix} \times 10^{-9} H \quad (4-10)$$

$$L_{ud}^b = \begin{bmatrix} 0.22 & 0.21 & 0.17 & 0.14 \\ 0.19 & 0.23 & 0.20 & 0.16 \\ 0.16 & 0.20 & 0.23 & 0.19 \\ 0.14 & 0.17 & 0.21 & 0.22 \\ 0.12 & 0.15 & 0.18 & 0.22 \end{bmatrix} \times 10^{-9} H \quad (4-11)$$

这两个子矩阵并不是完全相同，这是由于不同层的相对位置发生了变化，电感也随之不同。但是，变化的比例相对比较小。

下面来观察  $\mathbf{K}$  参数的提取结果。首先，观察相同层导体的  $\mathbf{K}$  参数子矩阵， $K_{a1}$ 、 $K_{b1}$  分别为图 4.4(a)、(b) 下层导体（导体 1-5）间的  $\mathbf{K}$  参数子矩阵， $K_{a2}$ 、 $K_{b2}$  分别为图 4.4(a)、(b) 上层导体（导体 6-9）间的  $\mathbf{K}$  参数子矩阵。

$$K_{a1} = \begin{bmatrix} 4.89 & -2.03 & -0.14 & -0.10 & -0.10 \\ -2.03 & 5.87 & -1.95 & -0.09 & -0.10 \\ -0.14 & -1.95 & 5.86 & -1.95 & -0.14 \\ -0.10 & -0.09 & -1.95 & 5.87 & -2.03 \\ -0.10 & -0.10 & -0.14 & -2.03 & 4.89 \end{bmatrix} \times 10^9 H^{-1} \quad (4-12)$$

$$K_{b1} = \begin{bmatrix} 4.98 & -2.01 & -0.13 & -0.10 & -0.10 \\ -2.01 & 5.88 & -1.96 & -0.09 & -0.10 \\ -0.13 & -1.96 & 5.88 & -1.96 & -0.14 \\ -0.10 & -0.09 & -1.96 & 5.86 & -2.03 \\ -0.10 & -0.10 & -0.14 & -2.03 & 4.70 \end{bmatrix} \times 10^9 H^{-1} \quad (4-13)$$

$$K_{a2} = \begin{bmatrix} 4.51 & -1.41 & -0.16 & -0.13 \\ -1.41 & 5.14 & -1.34 & -0.16 \\ -0.16 & -1.34 & 5.14 & -1.41 \\ -0.13 & -0.16 & -1.41 & 4.51 \end{bmatrix} \times 10^9 H^{-1} \quad (4-14)$$

$$K_{b2} = \begin{bmatrix} 4.30 & -1.42 & -0.17 & -0.13 \\ -1.42 & 5.14 & -1.35 & -0.16 \\ -0.17 & -1.35 & 5.14 & -1.40 \\ -0.13 & -0.16 & -1.40 & 4.63 \end{bmatrix} \times 10^9 H^{-1} \quad (4-15)$$

从这两个子图对应的  $\mathbf{K}$  参数子矩阵可知，同一层导体之间的互  $\mathbf{K}$  参数不完全相同，但同层导体间的  $\mathbf{K}$  参数变化不大。

接下来，我们观察不同层导体间的耦合  $\mathbf{K}$  参数子矩阵。

$$K_{ud}^a = \begin{bmatrix} -1.44 & -0.24 & -0.03 & -0.06 \\ -0.44 & -0.86 & -0.08 & -0.03 \\ -0.05 & -0.65 & -0.65 & -0.05 \\ -0.03 & -0.08 & -0.86 & -0.44 \\ -0.06 & -0.03 & -0.24 & -1.44 \end{bmatrix} \times 10^9 H^{-1} \quad (4-16)$$



$$K_{ud}^b = \begin{bmatrix} -1.34 & -0.57 & -0.03 & -0.04 \\ -0.18 & -0.92 & -0.29 & -0.02 \\ -0.04 & -0.29 & -0.92 & -0.15 \\ -0.04 & -0.01 & -0.53 & -0.81 \\ -0.08 & -0.04 & -0.10 & -1.24 \end{bmatrix} \times 10^9 H^{-1} \quad (4-17)$$

$K_{ud}^a$ 、 $K_{ud}^b$  分别表示图 4.4(a)、(b)上下层导体间的耦合 K 参数矩阵。我们观察导体 1 和 7 的互 K 参数  $K_{1,7}$ ，以及导体 2 和 6 的互 K 参数  $K_{2,6}$

$$K_{1,7}^a = -0.24 \quad (4-18)$$

$$K_{1,7}^b = -0.57 \quad (4-19)$$

$$K_{2,6}^a = -0.44 \quad (4-20)$$

$$K_{2,6}^b = -0.18 \quad (4-21)$$

从上面的结果可以看出，图 4.4(a)和图 4.4(b)不同层的导体间（比如导体 1 和 7，导体 2 和 6）的耦合 K 参数变化比电感的变化剧烈很多，因为图 4.4(b)的下层导体，相对于图 4.4(a)有一些位移，使得下层导体与上层导体的位置发生了变化。

可见，图 4.4(b)下层导体相对于图 4.4(a)的位移，对不同层的电感稍微有一些影响，但影响基本可忽略，而对于 K 参数，影响很大。而对于电阻，这个位移并不影响电阻的结果。因此，我们需要将文[71]的思想做相应的改进，使之适用于 K 参数的提取。

我们观察图 4.4(a)的结构。如果导体 1 和 5 在 X 方向的距离与图 4.4(b)中导体 1 和 6 在 X 方向的距离相同（如图 4.5 所示）。而其余条件不变，即相同层的线间距相同，线尺寸相同。那么，图 4.5(a)和图 4.5(b)就具有相同的结构。我们再将这两个结构分别加上边框（边框的尺寸相同），如图中虚线框，使得两个子图中，边框的左边界与上层第一根导体的间距相等。此时，只要两个子图中，边框的左边界与下层第一根导体的间距相等，两个子图的结构就相同了。我们将图 4.5(a)（或图 4.5(b)）的结构称为一个模块，可以应用于结构化供电网络的提取。

文[71]提到，结构化供电网络结构十分规则，在同一层，不同金属线同方向放置且线高、线宽等尺寸相同，电源/地线的间距相同。利用这一结构特点，我

们采用模块 K 参数复用算法来加速提取。首先，通过某种模块划分策略，将整个大规模结构化供电网络划分成若干个模块，使得模块的形状、大小相同，且对于相同层，模块的边界与起始电源/地线的距离相同，那么，模块内部的结构就相同了。当通孔均匀分布的时候，同一层上的每根电源线通过通孔划分的金属小段也相同。这样，我们仅需要提取一个模块的 K 参数，然后进行复用，得到其余相似结构的提取结果，进而得到整个结构的结果。

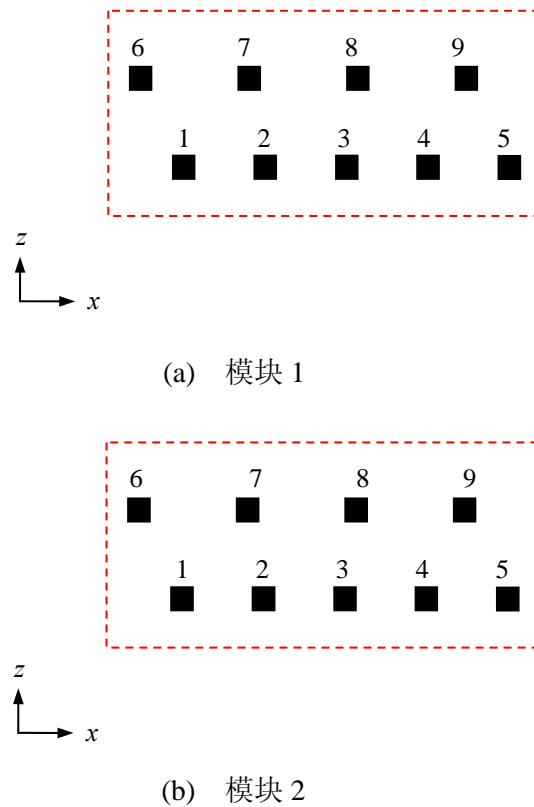


图 4.5 相同结构的模块

我们知道，耦合 K 参数具有局部性，当两根导体距离足够远，或者有足够的导体遮挡，这两根导体之间的耦合 K 参数就可以忽略。此时，我们仅需考虑同一个模块内导体之间的耦合 K 参数，而忽略处于不同模块的导体间的耦合 K 参数。

因为垂直导体的互电感或阻抗可以忽略，仅考虑同方向布线的金属线之间的耦合 K 参数。不失一般性，我们考虑沿 Y 方向的电源/地线的 K 参数提取，给出在 X 方向的模块划分方法。

图 4.6 给出了两层 Y 方向的电源线的侧视图（模块的大小是相同的，为了清楚显示，图中模块的 Z 方向尺寸有所放大）。为区别，不同层的电源线分别用菱形和椭圆形表示。假设电源线和地线配对出现，且相同层的 spacing 相同。因此，图 4.6 以及后面的插图均仅画出电源线来描述复用技术。同时，在考虑模块划分时，也仅考虑电源线，而地线和它左侧配对的电源线处于相同模块。

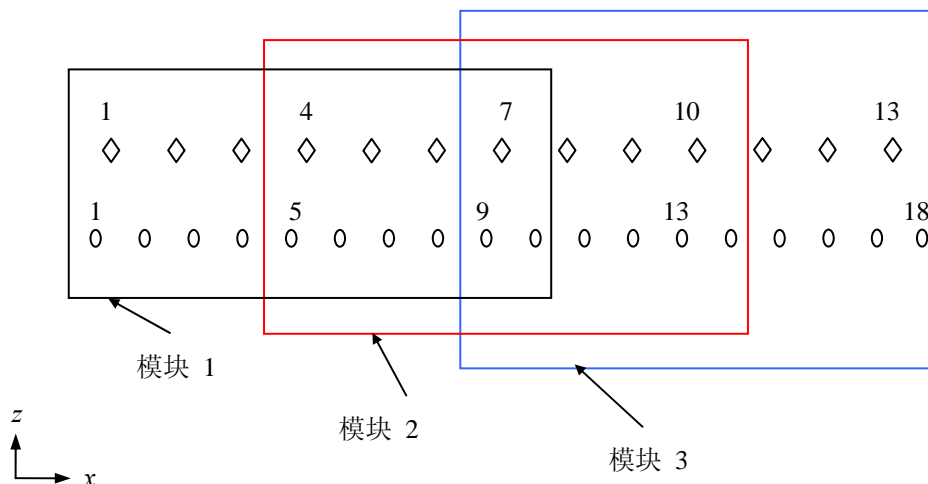


图 4.6 含两层 Y 方向电源线的供电网络，沿 X 轴分为 3 个模块

为保证 K 参数提取结果的精度，模块与模块之间需要有重叠的部分。因为，某些电源线，处于模块的边界位置，但是，却处于整个结构的中间位置，直接从这个模块的提取结果中得到该电源线的提取结果，会带来一定的误差。当我们使用有重叠的模块划分时，可以避免这个问题。

在图 4.6 中，大规模结构化供电网络被划分为 3 个有重叠的模块，每个模块内金属线的结构是相同的。由于 K 参数的局部特性，我们不需要考虑相距很远的两根电源线间的耦合 K 参数，因此，当最左边的模块拥有适当数目的电源线时，可以用来提取 K 参数。由于每个模块的结构均相同，最左边的模块，可以被另外两个模块复用。需要指出的是，上层电源线 1 处于模块 1 的左边界位置，也处于整个结构的左边界位置，上层电源线 1 在模块 1 中的提取结果，可以做为整个结构的最终结果；但上层电源线 7 处于模块 1 的右边界位置，而处于整个结构的中间位置，模块 1 中的提取结果，不能做为上层电源线 7 的最终提取结果。幸运的是，上层电源线 7 处于模块 2 的中间位置，这也是模块间需要有

重叠的原因。同一根电源线，可能被划分于几个模块中，我们需要确定，该电源线的最终提取结果，是通过哪一个模块得到的。在后面，我们会给出相应的算法，将电源线与模块一一对应，确定电源线的最终提取结果。当模块的大小和位置设定合理时，复用所带来的误差很小。类似于压缩模型，在提取大规模结构化供电网络时，此算法可以大大减少时间开销和内存使用。

处理 Y 方向的电源/地线后，对于 X 方向的电源/地线，我们采用类似的方法，沿 Y 轴做划分模块。这样，就可以得到供电网络在 X-Y 平面上的模块划分（类似于图 4.3）。通过模块间的复用技术，X 方向和 Y 方向的电源/地线的 K 参数矩阵可以有效的得到。然后，再将这两个矩阵组合为整个的 K 矩阵。如果考虑了高频效应，电源线的电阻也会受环境影响。结合第 3 章提出的基于窗口方法的频变电阻的提取，使用复用技术，可以得到供电网络的频变电阻。

### 4.3.2 确定模块的大小和模块间距

现在考虑 Y 方向的电源/地线，通过 Y 方向的电源/地线来描述模块划分的算法。相关的符号表示如图 4.7。

<p><math>m</math>: Y 方向电源/地线的层数;</p> <p><math>N_i</math>: 整个供电网络结构包含第 <math>i</math> 层电源线的数目;</p> <p><math>p_i</math>: 第 <math>i</math> 层相邻电源线之间的线间距 (pitch);</p> <p><math>d_i</math>: 相邻模块左边界之间包含的第 <math>i</math> 层电源线的数目;</p> <p><math>h</math>: 考虑 K 参数局部性的临界距离, 当两根平行线之间的距离大于 <math>h</math> 时, 它们之间的耦合 K 参数可以被忽略;</p> <p><math>l_i</math>: 临界距离 <math>h</math> 对应的第 <math>i</math> 层电源线的数目: <math>l_i = \lceil h / p_i \rceil</math>;</p> <p><math>n</math>: 沿 X 轴方向的模块数目;</p> <p><math>n_i</math>: 一个模块中包含第 <math>i</math> 层电源线的数目。</p>
--

图 4.7 Y 方向电源线模块划分用到的符号

设大规模结构化供电网络共含有  $m$  层 Y 方向的金属线。对于第  $i$  层 ( $i=1, 2, \dots, m$ ), 相邻电源线之间的距离 (pitch) 记为  $p_i$ , 设电源线数目为  $N_i$ 。分别将电源线按从左至右的顺序编号为  $1, 2, \dots, N_i$ 。设该供电网络沿 X 方向划分为  $n$  个模块 (类似于图 4.6, 图中, 沿 X 方向划分为 3 个模块)。将模块从左至右记为

模块 1, 模块 2, ..., 模块  $n$ 。我们先将电源线和它右侧紧邻的地线配对; 在划分模块时, 先忽略地线, 通过电源线来划分模块; 模块划分好后, 再将与电源线配对的地线, 放到相应的模块中。

因为不同层的线宽、线间距是不同的, 因此, 不同层的电源/地线会出现几何错位的情况 (类似于图 4.4 所示的情况, 两个结构是不相同的)。我们需要定义合适的模块间距, 使得不同模块间的几何错位尽量小。定义一个集合

$$S = \left\{ d \in \mathbb{N} \mid dp_m - \left\lfloor \frac{dp_m}{p_i} \right\rfloor p_i \leq \delta p_i, \forall i = 1, 2, \dots, m-1 \right\} \quad (4-22)$$

其中,  $\delta$  是一个很小的数, 比如, 取  $\delta = 0.05$ , 也可以根据精度需要适当调整  $\delta$  的值。集合  $S$  中的正整数  $d$  使得  $dp_m$  近似于不同层线间距的公倍数。令

$$d_m = \min(S) \quad (4-23)$$

使得  $d_m p_m$  是线间距的最小公倍数。定义

$$d_i = \lceil d_m p_m / p_i \rceil, i = 1, 2, \dots, m \quad (4-24)$$

$d_i$  代表两个相邻模块左边界之间有第  $i$  层电源线的数目, 根据这个定义, 有

$$d_m p_m \approx \dots \approx d_2 p_2 \approx d_1 p_1 \quad (4-25)$$

当  $\delta$  很小时, 这个近似仅带来很小的误差。将  $d_i p_i$  的平均值定义为两个相邻模块的间距。通过这个定义, 不同模块中, 相同层的电源线和模块左边界的相对位置就基本一样了。当每个模块拥有相同的电源线数目时, 模块的内部结构就非常相似了 (如图 4.6 所示)。这使得不同模块间的 K 参数和电阻复用可行, 仅需要对一个模块进行提取。

接下来, 我们讨论如何确定模块的大小。

确定模块的大小, 其实是确定模块内电源线的数目。由于 K 参数的局部性, 在保证精度的同时, 我们不需要包含所有的环境导体。假设距离  $h$  是临界距离, 当两根平行导体的距离大于  $h$  时, 就可以忽略这两根导体的耦合 K 参数。对于第  $i$  层, 设模块内电源线的数目为  $n_i$ 。因为电源线 1 到  $d_i$  仅在模块 1 中, 所以电源线  $d_i$  的耦合 K 参数需要在模块 1 中提取, 即电源线 1 到  $d_i$  对应于模块 1。如果定义

$$l_i = \lceil h / p_i \rceil \quad (4-26)$$

为了保证准确性, 有  $n_i \geq d_i + l_i$ 。模块 2 的左边第一根电源线为  $d_i + 1$ , 电源线  $d_i + l_i + 1$

与模块 2 的左边界距离  $h$  远, 因此, 电源线  $d_i+l_i+1$  可以在模块 2 中提取。而电源线  $d_i+l_i$  与模块 2 的左边界距离不足  $h$  远, 为考虑 K 参数的局部性, 将电源线  $d_i+l_i$  在模块 1 中提取, 因此, 取模块大小为

$$n_i = d_i + 2l_i \quad (4-27)$$

这样, 电源线 1 到  $d_i+l_i$  均可在模块 1 中提取。类似地, 模块 1 中的其余电源线可以根据局部性的考虑, 通过模块 2 或者后续的模块得到。在下一节, 我们将给出每根电源线对应的模块, 即每根电源线通过第几个模块得到最终的 K 参数。

根据公式(4-27), 我们可以定义模块 1, 模块 2, 模块 3 等。现在, 我们考虑供电网络结构的最右端的一些电源线。如果电源线的数目为  $N_i = nd_i + 2l_i$ , 所有的电源线正好被包含在这  $n$  个模块中, 不需要额外的操作 (如图 4.6)。否则, 将会有一些电源线在  $n$  个模块外面, 如图 4.8(a)所示, 上层电源线 11, 下层电源线 16、17 位于 3 个模块外。一种方法是增加一个新的模块来提取最右端附近的一些电源线, 如图 4.8(b)所示。但是这样, 需要提取两个模块内电源线的 K 参数。而另一种有效的方法是将现有的模块变大, 如图 4.8(c)所示。如果一个模块拥有的电源线数目增加为

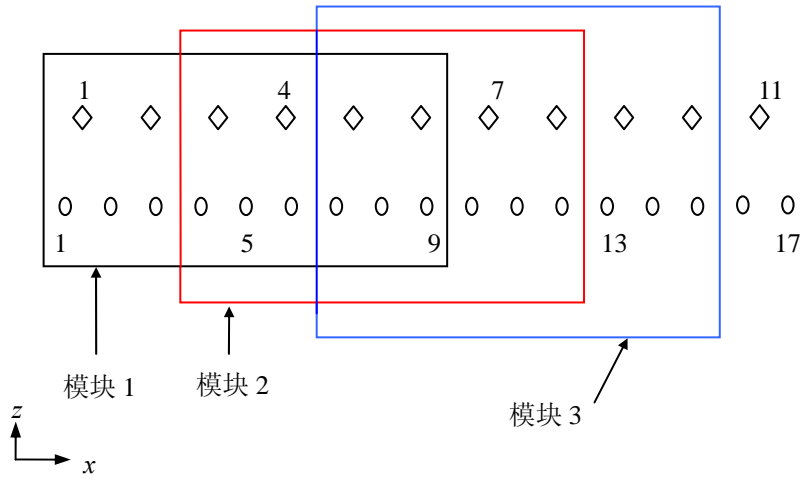
$$n_i = N_i - nd_i + d_i \quad (4-28)$$

其中

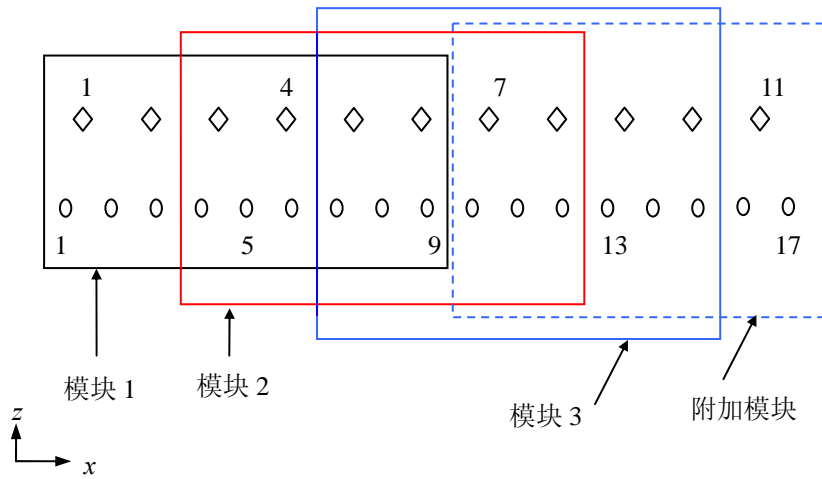
$$n = \left\lfloor \frac{N_i - 2l_i}{d_i} \right\rfloor$$

这样, 所有的电源线包含于这  $n$  个模块中, 由于有更多的电源线包含在一个模块中, 计算精度不会下降。而模块内部结构的相似性没有改变, 因为模块间的间距没有变化, 仍然可以模块复用。本章即采用这种方法。

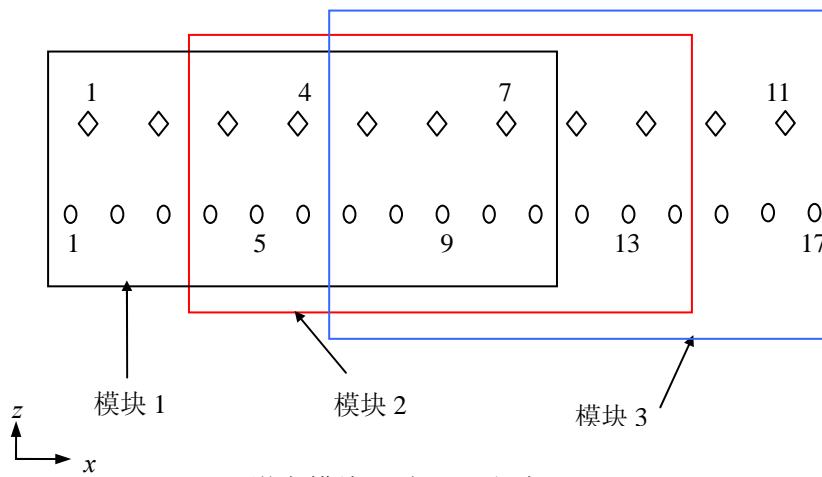
图 4.9 给出了一个 Y 方向电源线在 X-Z 平面的视图。我们以此为例, 给出模块的划分。这个例子中, 两层电源线的数目分别为  $N_1=36$  和  $N_2=26$ 。两层的线间距分别为  $p_1=2.4\mu\text{m}$  和  $p_2=3.2\mu\text{m}$ 。通过公式(4-22)、(4-23)和(4-24), 得到  $d_1=4$  和  $d_2=3$ 。假设为考虑 K 参数的局部性,  $h=15.0\mu\text{m}$ 。通过公式(4-26)得到  $l_1=7$  和  $l_2=5$ 。通过(4-28)得到模块的数目为  $n=5$ , 而模块大小为  $n_2=14$  (或  $n_1=20$ )。在 Y-Z 平面, 该供电网络的模块划分参数可以通过类似的算法确定。然后, 就可以得到 X-Y 平面的划分。最后, 我们提取最中间的模块 (如图 4.3 最中间实线框的模块), 组合后得到完整的 K 参数矩阵。



(a) 有几根电源线在划分的模块外



(b) 添加模块来处理右边界



(c) 增大模块尺寸处理右边界

图 4.8 需要处理右边界的例子

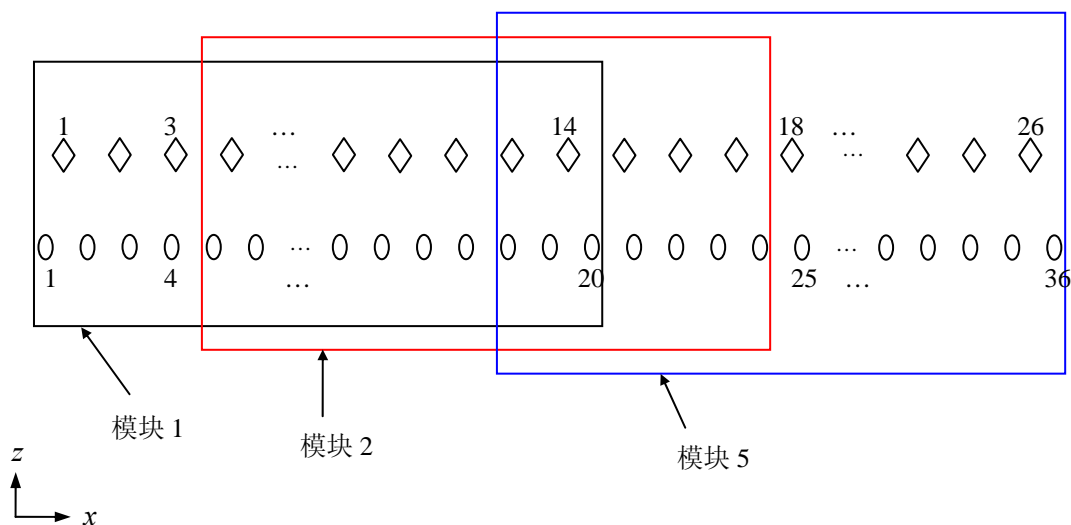


图 4.9 供电网络 X-Z 平面的模块划分

### 4.3.3 结果矩阵的合成

因为所有的模块都有相同的内部结构,其他模块的  $\mathbf{K}$  参数可以通过复用最中间模块的  $\mathbf{K}$  参数提取结果而得到。这样,可以大大减少计算时间和内存的使用。对于每根金属线,我们首先要确定它通过第几个模块得到  $\mathbf{K}$  参数。下面以图 4.8(c) 为例详细介绍结果矩阵的合成。这两层  $Y$  方向的电源线被划分为 3 个模块,我们提取模块 2,每个模块分别有 7 根上层的电源线和 11 根下层的电源线。编号为 1 到 4 的上层电源线和编号为 1 到 6 的下层电源线的  $\mathbf{K}$  参数,通过模块 1 得到,即这些导体对应于模块 1。而模块 2 所得到的  $\mathbf{K}$  参数矩阵,则提供了编号为 5 和 6 的上层电源线以及编号为 7 到 9 的下层电源线的  $\mathbf{K}$  参数结果。而编号为 7 到 11 的上层电源线以及编号为 10 到 17 的电源线的  $\mathbf{K}$  参数结果,则通过模块 3 的  $\mathbf{K}$  参数矩阵得到。

一般地,我们考虑同层电源线之间的耦合效应。而同层电源/地线之间的耦合效应,以及不同层电源/地线之间的耦合效应,可以通过类似的方法得到。

在  $X-Z$  平面,先将每根电源线看作是一根导体,本节后面称为导体。对于第  $i$  层的导体  $s$ ,需要计算导体  $s$  和导体  $t$  之间的耦合  $\mathbf{K}$  参数,其中,导体  $t$  满足

$$\begin{cases} s \leq t \leq s+l_i, & 1 \leq s < N_i - l_i \\ s \leq t \leq N_i, & N_i - l_i \leq s \leq N_i \end{cases} \quad (4-29)$$



由于 K 参数矩阵的对称性，我们仅需要计算导体  $s$  与其右侧的导体  $t$  之间的耦合 K 参数。而对于导体  $s$  与其左侧的导体  $r$  之间的耦合 K 参数，在计算导体  $r$  的耦合 K 参数时，已经得到了，即  $K_{sr} = K_{rs}$ 。因此，我们仅需要计算 K 参数矩阵的上三角部分，而对于下三角部分，利用 K 参数矩阵的对称性，可以很容易得到。

因此，对于导体  $s$ ，需要计算的 K 参数为

$$\begin{cases} K_{s,s} & K_{s,s+1} & \dots & K_{s,s+l_i}, & 1 \leq s < N_i - l_i \\ K_{s,s} & K_{s,s+1} & \dots & K_{N_i}, & N_i - l_i \leq s \leq N_i \end{cases} \quad (4-30)$$

当  $1 \leq s \leq d_i + l_i$ ，与导体  $s$  有耦合作用的导体均在模块 1 里面，则导体  $s$  与其他导体的耦合 K 参数通过模块 1 得到。

当  $(k-1)d_i + l_i + 1 \leq s \leq kd_i + l_i$ , ( $k=2, 3, \dots, n-1$ )，与导体  $s$  有耦合作用的导体均在模块  $k$  里面，则导体  $s$  与其他导体的耦合 K 参数通过模块  $k$  得到。

当  $(n-1)d_i + l_i + 1 \leq s \leq N_i$ ，与导体  $s$  有耦合作用的导体均在模块  $n$  里面，则导体  $s$  与其他导体的耦合 K 参数通过模块  $n$  得到。

这样，每根导体都有了对应的模块。对于地线，前面提过，是与其左侧邻近电源线配对的。地线也对应于配对的电源线所对应的模块中。在 Y-Z 平面，使用类似的方法为电源/地线选定对应的模块。这样，整个供电网络的 K 参数就可以得到了。

#### 4.4 算法流程

本章给出的算法流程如下。

第一步，对于 X 方向的电源/地线，在 Y-Z 平面通过 4.3.2 节给出的算法确定模块划分。对于 Y 方向的电源/地线，通过类似的方法得到 X-Z 平面的模块划分。这样，确定 X-Y 平面的模块划分。

第二步，用第 3 章提出的基于窗口的提取方法，分别提取最中间模块的 X 方向的电源/地线以及 Y 方向的电源/地线。如果考虑高频效应，频变 K 参数和电阻均需要得到。

第三步，用 4.3.3 节的算法对结果矩阵进行组合，得到两个全局 K 参数矩阵，分别为 X 方向和 Y 方向的电源/地线的 K 参数矩阵。将这两个矩阵组合起来，得到完整的 K 参数矩阵。

## 4.5 算法复杂度分析

与第 3 章提出的基于窗口方法的 K 参数提取算法比较,本章提出的算法仅需要处理一个模块包含的金属小段。假设每根主导体提取 K 参数的时间相同,(每根金属小段依次设为主导体,提取它与其他导体的耦合 K 参数)。那么,本章算法相对于第 3 章提出的算法的加速比,近似于整个供电网络包含的金属小段的数目和一个模块包含的金属小段的数目的比值。

对于任意的线间距集合  $p_1, p_2, \dots, p_m$ , 公式(4-23)得到的  $d_m$  可能近似于整个供电网络的第  $m$  层电源线数目  $N_m$ 。在这种情况下,本章提出的算法退化为基于窗口方法的提取算法。因此,本章算法适用于结构化供电网络,其不同层的线间距可以得到较小的  $d_m$ 。

## 4.6 对于非规则情况的处理

在设计晚期,片上的供电网络往往不如设计早期那样规则。当设计者认为可以改善供电问题时,他们通常会对供电网络做一些细微的改动<sup>[71]</sup>。对于一个非规则的结构,不能应用前文提到的算法来提取 K 参数。下面,我们将给出一个补救措施来处理这一类非规则结构:在规则结构的基础上,做一些小变动得到的结构。

通常,在供电网络的下层,容易出现非规则情况,而对于较高层,一般结构规则。所以,我们主要考虑最下层的微小变化。

对于规则的结构,如果仅有一些金属线发生了微小的变化,如:去掉或者增加一些金属线,或者改变一些金属线的位置、线高、线宽等尺寸。这个时候,我们可以采取一个补救方法,对这些改变了的金属线(金属小段)重新提取。用新提取出来的结果,替换原来规则结构的提取结果。图 4.10 给出了一个在规则供电网络结构基础上做了微小变化的例子。假设我们把最下层的某根电源线(用粗线条的椭圆形表示)的线宽加宽,且将其向右做一些移动。这个变化,影响了这根电源线本身以及上一层电源线的金属小段划分。因为,金属线在通孔处划分为若干金属小段,而通孔位置是由相邻层金属线的位置决定。我们将这些有变化的金属小段,依次设为主导体,然后提取 K 参数。在图 4.10 的例子中,电源线的移动是沿 X 轴方向,而 Y 方向的规则性并没有受影响。因此,Y 方向仍然可以使用模块复用算法,需要额外提取 K 参数的主导体数目还可以进

一步减少。

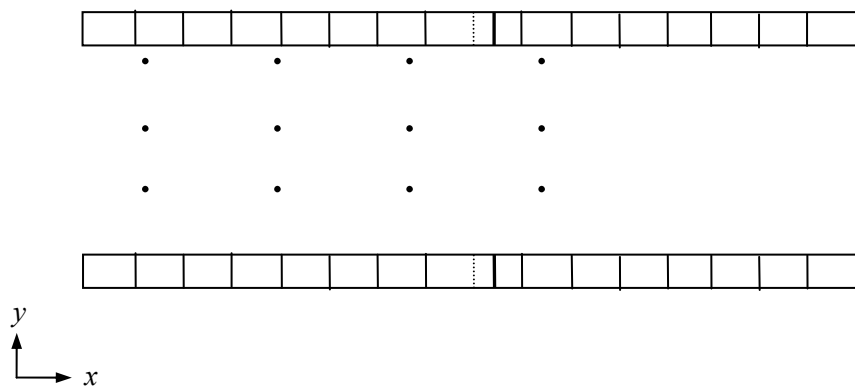
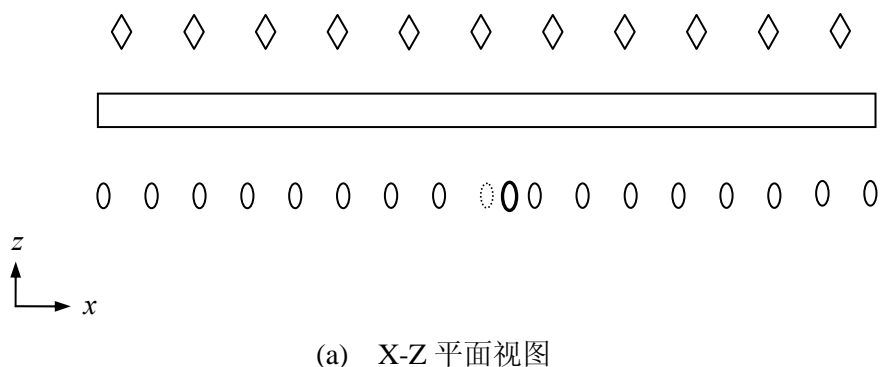


图 4.10 非规则供电网络结构的例子

对于在规则供电网络基础上做较小改动得到的结构，我们可以通过类似的方式来确定有变化的金属小段。对这些有变化的金属小段，依次设为主导体，然后提取 K 参数，用新的提取结果更新原有的 K 参数矩阵。通常，当变动较小时，有变化的金属小段数目，比整个结构的金属小段数目少很多。在这种情况下，这个补救措施可以很有效的提取这类非规则结构。同时，没有变化的金属小段的 K 参数变化较小，这个补救措施可以保持良好的精度。

### 4.7 数值实验结果

本章算法实现在名为 PG\_Extractor 的程序中，该程序考虑了高频效应，可用于计算大规模结构化供电网络的频变 K 参数。下面，通过几个算例将其与著名的由 MIT 开发的三维电感提取软件 FastHenry<sup>[17]</sup>以及第 3 章提出的 FRRE 算法

进行比较。将 PG\_Extractor 和 FRRE 得出的 K 参数矩阵求逆后得到部分电感矩阵，然后与 FastHenry 的结果进行比较。分别以 FastHenry 和 FRRE 的结果为标准，计算回路电感的误差分布（“回路电感”已在第 3 章讲述）。所有实验均在 Sun Ultra V880 服务器（主频 750 MHz）上进行。

#### 4.7.1 精度验证

实验通过 4 个具有 4 层电源/地线的结构化供电网络的例子，来显示本章算法的准确性和高效性。对于第 1 个例子，供电网络的上面两层分别有 10 根电源线和 10 根地线，其线间距为  $6.32\mu\text{m}$ ，下面两层分别有 16 根电源线和 16 根地线，其线间距为  $4.22\mu\text{m}$ 。两个相邻层间的通孔将电源/地线共划分为 1830 根金属小段。另外 3 个例子具有类似的结构，但线间距和电源/地线的数目不同。分别包含 4810，11156 和 102674 根金属小段。

我们假设可忽略耦合 K 参数的临界距离  $h$  为  $12\mu\text{m}$ 。另外，为捕获 10GHz 下的高频效应，我们将上面两层的每根金属小段做  $3\times 3$  细丝划分。

第 1 个例子，供电网络在 X-Y 平面被分成为  $3\times 3$  的模块，每个模块的上面两层分别有 6 根电源线和 6 根地线，下面两层分别有 10 根电源线和 10 根地线。然后，PG\_Extractor 调用 FRRE 方法来提取最中间的模块，并复用提取结果来获得整个结构的 K 参数矩阵和电阻矩阵。K 参数矩阵求逆后得到电感矩阵，然后通过回路电感和 FastHenry 以及 FRRE 比较精度。表 4.1 列出了第 1 个例子的回路电感误差，其中，回路电感的最大误差为 8.5%。对于电阻的误差，PG\_Extractor 和 FastHenry 以及 FRRE 的最大误差均在 5% 以内。

表 4.1 例子 1 回路电感的误差分布

	回路电感误差		
	<3%	3-6%	>6%
PG_Extractor vs FastHenry	95.7	1.2	0.1
FRRE vs FastHenry	98.7	1.3	0
PG_Extractor vs FRRE	99	1.0	0

对于第 2 个例子，供电网络的上面两层分别有 17 根电源线和 17 根地线，下

面两层分别有 25 根电源线和 25 根地线。PG\_Extractor 将整个结构划分为  $6 \times 6$  的模块，因为这个例子所包含的金属小段的数目太多，FastHenry 不能提取出这个例子的部分电感矩阵。我们仅对 PG\_Extractor 的结果和 FRRE 的结果进行比较。结果显示，回路电感的误差均小于 6%，其中 99% 的回路电感的误差均小于 3%，电阻误差均小于 5%。

对于更大的两个例子，由于 K 参数矩阵的维度太大，我们无法将其求逆，然后比较 PG\_Extractor 和 FRRE 方法得到的部分电感。

### 4.7.2 速度验证

对于测试的 4 个例子，CPU 运行时间列于表 4.2。加速比是指 PG\_Extractor 相对于 FRRE 方法的加速比。由于 CPU 运行时间和内存空间的限制，FastHenry 不能提取出较大的 3 个例子。从表格中可以看出，随着结构化供电网络规模的增加，PG\_Extractor 与 FRRE 方法相比，有 3 到 46 的加速比。同时，实验结果表明，本章算法可以有效的处理十万数量级的互连结构。

表 4.2 四个例子的计算时间比较（单位：秒）

例子	金属小段数目	FastHenry	FRRE	PG_Extractor	加速比
1	1830	8856	55.6	18.5	3.1
2	4810	---	109.9	19.2	5.7
3	11156	---	428.7	41.9	10
4	102674	---	5034.6	109.2	46

### 4.7.3 非规则结构的处理

为了验证 4.6 节提出的补救措施的有效性，我们将第一个例子做一些改动，构造出一个非规则结构。我们将最下层的，位于中间位置的一根电源线做如下变化：将这根电源线的线宽缩小 10%，并将它向右移动，移动的距离是线间距的 10%（类似于图 4.10 的情况）。

对于这个例子，需要额外将 29 个金属小段依次设为主导体，然后提取 K 参

数(这里考虑了 Y 方向的模块复用),用提取的新结果更新原来的 K 参数矩阵相应的元素值。我们将实验结果和 FastHenry 进行了比较,回路电感误差和规则情况的回路电感误差差别不大。有 94.4%的回路电感误差小于 3%,仅有 0.1%的回路电感误差大于 6%,而最大回路电感误差没有变化。补救措施带来的额外 CPU 运行时间仅 1 秒左右,即是说,这个例子,仅增加约 5%的额外时间。

## 4.8 本章小结

本章提出了一种有效的适用于大规模结构化供电网络的频变 K 参数提取算法。该算法利用了结构化供电网络的特点,利用 K 参数的局部性,采用有效的模块 K 参数复用技术。然后结合有效的基于窗口方法的 K 参数提取算法,得到中间模块的 K 参数和电阻,其结果可以被其他模块复用,最后将结果组合,得到完整的 K 参数矩阵。数值实验结果表明,本章算法可以处理大规模结构化供电网络,且精度高、速度快。

## 第5章 考虑电感耦合的大规模互连电路仿真算法

前文介绍了大规模互连电感建模方法，本章将介绍考虑了完整电感耦合效应的电路仿真算法，此算法基于频域分析方法，用  $K$  参数对电感进行建模，大大加速了电路仿真的速度。

基于时域的仿真算法需要根据时间步来迭代求解，其复杂度与时间步相关。最近，文[61-63]提出了基于频域分析的方法来求解时域下的电压响应。使用向量拟合的方法（Vector Fitting, VF）<sup>[64]</sup>，将频域下的电压响应转换到时域，得到时域的电压响应。但文[61-63]并未考虑互电感，而在当前工艺下，电感效应越来越显著，需要考虑完整电感耦合来进行准确分析。而且，考虑了供电网络的电感，可以改善布线资源利用<sup>[77]</sup>。本章将会给出一种有效的、考虑了完整电感效应的仿真算法。我们使用改进节点分析法（Modified Nodel Analysis, MNA）<sup>[78]</sup>建立电路方程，首先，推导出频域下包括寄生电感的电路方程，然后，用稀疏化后的  $K$  参数矩阵代替部分电感矩阵  $L$ 。接着，使用 GMRES 迭代算法求解电路方程，并使用了矩阵系数平衡和预条件技术，以及优化初始解的选择，加速方程求解过程。

数值实验表明，本章方法在保持良好精度的同时，比软件 HSPICE<sup>[41]</sup>有几十到上百倍的加速。同时表明，在考虑了导体之间完整电感耦合的情况下，本章算法可以处理包含十万个节点以上的电路结构。

### 5.1 基于频域分析的电路仿真算法

在互连电路分析的研究中，对大规模问题进行快速时域瞬态仿真是一个难题。最近，文[62]提出了基于频域分析的瞬态仿真方法，克服了传统时域方法计算量与时间步数目成正比的缺点。图 5.1 描述了基于频域分析的电路仿真算法的基本流程<sup>[62]</sup>。

第一步，根据电流源的频率，选择适当的频率采样点，将电流源的时域波形通过 Laplace 变换得到频域下的波形。由于电流源  $I(t)$  可以看作是分段线性（Piece-Wise Linear, PWL）函数，其频域表达式可以解析得到。

第二步，对于选定的频率点，建立相应的频域电路方程，求解方程，得到每个频率点的电压响应  $V(t)$ 。

第三步，当频率采样点合理选取时，通过向量拟合方法<sup>[64]</sup>，用有理分式  $\tilde{V}(s)$  来拟合频域下的电压响应  $V(s)$ ，再通过 Laplace 逆变换，得到时域下的电压响应  $V(t)$ 。

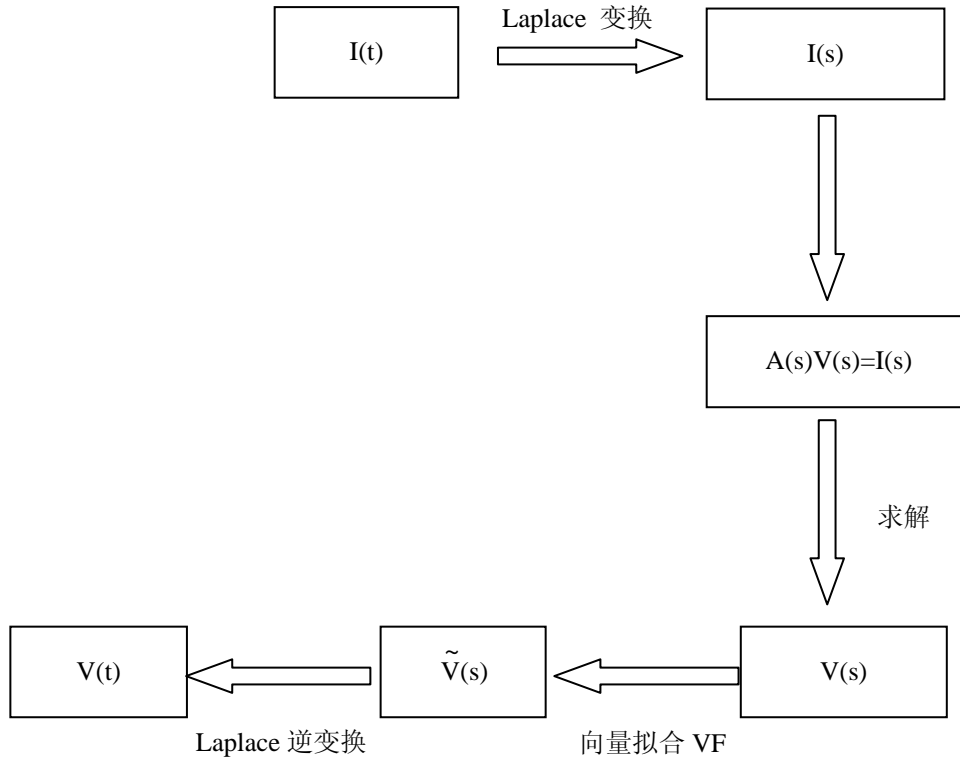


图 5.1 基于频域分析的电路仿真算法流程图[62]

对于一般的电路仿真，仅需获得某些节点的电压响应，而不是所有节点的电压响应。前人的工作显示，在保持良好精度的同时，基于频域分析的电路仿真算法，比时域分析方法有数量级的加速比<sup>[62]</sup>。

在文[62]中，采用节点分析法（Nodal Analysis, NA）建立频域电路方程，该方法不能有效的处理完整耦合的电感元素。本章提出的电路仿真算法，可以有效的处理互连结构的完整电感耦合效应。并且，我们利用  $K$  参数矩阵稀疏化技术，对电感进行建模，有效的节省了存储空间，保持了电路方程系数矩阵的稀疏性。同时，本章算法也在方程的求解方面做出了改进：采用矩阵系数平衡和预条件技术加速 GMRES 迭代过程，并对初始解的选择做优化，进而加快方程求解速度。因此，可以快速高效的对电路进行仿真。



## 5.2 考虑 K 参数的互连电路仿真算法

对供电网络、时钟线网等大规模全局互连结构，往往需要考虑电感效应。本节以供电网络为例，介绍考虑电感耦合的互连仿真算法。

### 5.2.1 基本思想

首先，我们选择频率采样点。对于频率采样点的选择，采用文[62]给出的选择方法。最高频率  $f_{max}$  一般不会高于几 GHz，然后我们使用对数比例来选定频率采样点。因此，频率采样点的数目为  $O(\log f_{max})$ ，在我们的实验中，大约需要有几个十频率采样点。

然后，我们需要对电路进行建模。将电流源看作是分段线性函数，用 Laplace 将其转换为频域波形。而对于每一根金属小段，我们将其看作一根导体，对其进行  $R$ 、 $C$ 、 $L$  建模。

接着，我们用改进节点法推导出频域的电路方程，方程中包含部分电感矩阵，然后用  $K$  参数矩阵来代替部分电感矩阵。

因为电容矩阵和部分  $K$  参数矩阵可以非常稀疏，电路方程的系数矩阵是一个大型稀疏矩阵，采用 GMRES 迭代算法可以有效的求解各个频率采样点的电路方程。再结合有效的矩阵存储方法，以及矩阵系数平衡、预条件技术、优化初始解选择的方法，可以有效的加快电路频域方程的求解速度。

我们通过第 3 章提出的、可考虑高频效应的算法，提取出电阻和  $K$  参数，这些值随频率的不同而不同。所以，对于不同频率点，HSPICE 的输入网表可能是不同的。这不会给频域分析带来困难，但一般的时域分析方法不能有效的处理这些频变参数。

### 5.2.2 互连仿真建模

首先，需要对供电网络建立精确的模型。为了考虑完整的电磁作用，我们需要使用 PEEC 模型。因此，我们将每一根金属小段看作是一根导体，除了考虑导体的电阻，还需要考虑导体间的寄生电容和完整耦合电感的影响，并将各电路模块的吸纳电流看作时变的电流源。这些时变的电流源，用分段线性函数(PWL)表示。

电流源模型

连接在供电网络上的电路模块随着输入的不同进行不同的翻转动作，同时向

供电网络吸纳不同的电流值。因此我们将连接在供电网络上的电路模块看作是时变的电流源。每个模块的吸纳电流波形如图 5.2 所示。一般情况下，取该电流波形为对应模块所有可能出现的吸纳电流波形的包络线<sup>[79]</sup>。

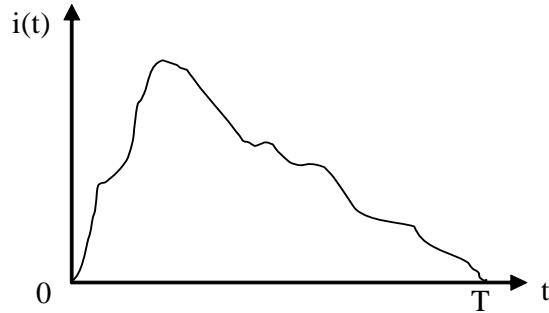


图 5.2 电路模块吸纳电流的波形

在实际计算时，出于存储空间和计算的实际要求的考虑，我们将上述波形用分段线性函数表示，如图 5.3 所示。

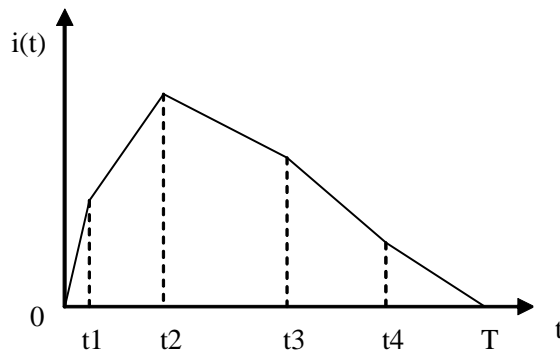


图 5.3 吸纳电流波形的分段线性表示<sup>[80]</sup>

我们用 Laplace 变换，将分段线性函数转换为频域波形。假设  $r(t)$  表示单位斜坡函数

$$r(t) = t \cdot u(t) \quad (5-1)$$

其中， $u(t)$  是单位阶梯函数。那么，斜坡函数的频域表达式为

$$R(s) = 1/s^2 \quad (5-2)$$

其中，对于特定的频率，有

$$s = j\omega \quad (5-3)$$

其中， $\omega$  是角频率。一个分段线性函数  $f(t)$  可以看作是若干个斜坡函数的叠加，

如图 5.4 所示。

$$f(t) = \sum_i a_i r(t-t_i) \quad (5-4)$$

其中,  $t_i$  是第  $i$  个斜坡段的开始时间点,  $a_i$  是两个相邻斜坡段斜率的差值 (如图 5.4)。因为 Laplace 转换是线性的,  $f(t)$  的频域表达式  $F(s)$  可以得到

$$F(s) = \sum_i \frac{a_i \cdot e^{-s t_i}}{s^2} \quad (5-5)$$

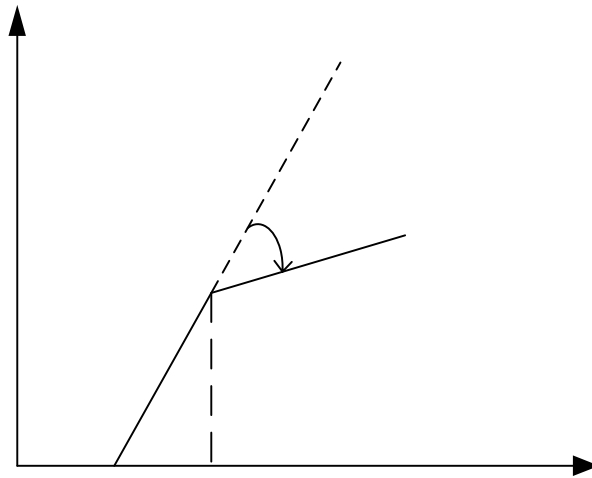


图 5.4 一个分段线性函数可看作若干斜坡函数的叠加

对于直流分量, 比如, 当  $s=0$  时, 式(5-5)是不能使用的。这时, 可以用分段线性函数波形  $f(t)$  所覆盖的面积来计算  $F(0)$  的值。需要指出的是, 如果分段线性函数包含了一个斜率为无穷的斜坡段, 在叠加表达式(5-4)中, 需要加入相应的阶梯函数。阶梯函数  $u(t)$  在频域下转换为  $1/s$ , 即阶梯函数的频域表达式为

$$U(s) = 1/s \quad (5-6)$$

通过(5-5)中微小的改动, 可以计算得到  $F(s)$ 。

#### 互连结构的 RLC 模型

图 5.5 给出了供电网络的 RLC 模型的一部分。通孔将每根电源/地线划分为若干根金属小段, 考虑每根金属小段的电阻, 金属小段之间的完整耦合电感以及节点之间的耦合电容。为了清楚的显示, 在图 5.5 中未画出互电感, 但在实际

计算中，我们考虑了完整的电感耦合。

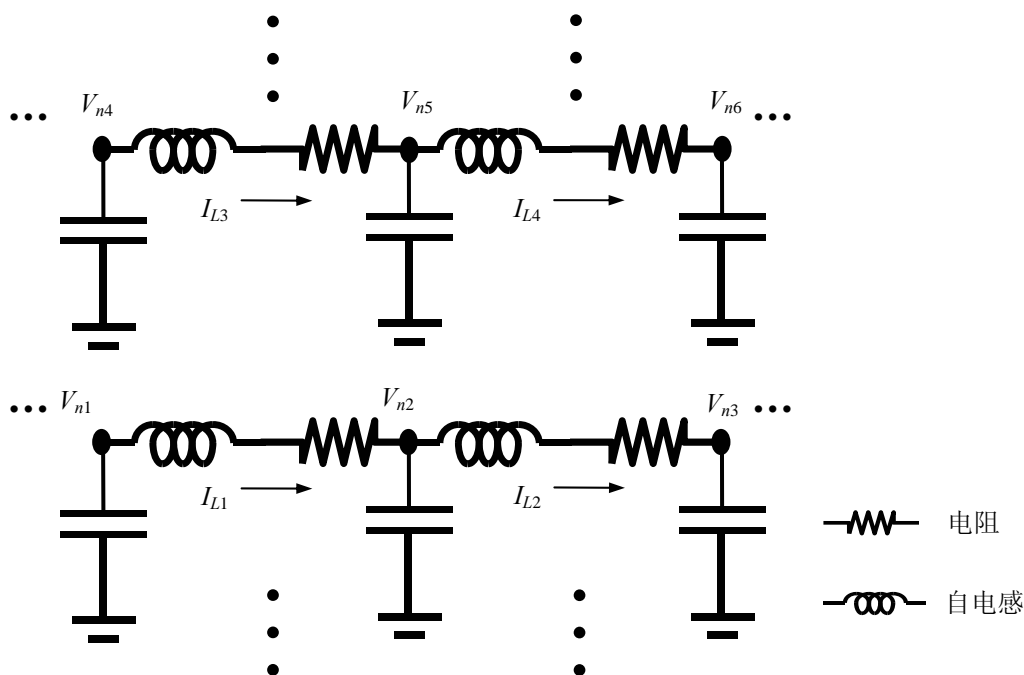


图 5.5 供电网络的 RLC 模型

在 PEEC 模型中，电感效应通过部分电感体现，包括自电感和互电感。但是，供电网络拥有很多金属小段（一般地，大规模的互连结构都会包含很多导体段），因此，部分电感矩阵将会是一个维度很大的稠密矩阵，而为了保证计算精度，不能对其做合适的稀疏化。部分电感矩阵的性质，阻止了部分电感矩阵应用于大规模互连结构的电感建模。前面提到了  $\mathbf{K}$  参数矩阵，这是部分电感矩阵的逆矩阵

$$\mathbf{K} = \mathbf{L}^{-1} \tag{5-7}$$

前文已介绍， $\mathbf{K}$  参数矩阵类似于电容矩阵的局部特性，可以较好的稀疏化。使用  $\mathbf{K}$  参数矩阵对电感进行建模后，不仅可以提高电路分析的速度，也可以保证分析的稳定性。也有一些论文给出了可用于提取大规模互连结构  $\mathbf{K}$  参数矩阵的算法<sup>[39, 81-82]</sup>。

我们通过第 3 章中介绍的频变  $\mathbf{K}$  参数和电阻提取方法（对于结构化供电网络，还可以使用第 4 章中介绍的提取方法），得到  $\mathbf{K}$  参数和电阻元素，通过 FastCap<sup>[83-84]</sup> 得到相应的电容。

### 5.2.3 频率采样点的选择

频率采样点的选择，影响了电路仿真算法的速度，以及结果的精度。因为，每选定一个频率点，我们都需要建立该频率的电路方程，并对其进行求解。假设每个频率点建立和求解方程的总时间为  $T$ ，则整个仿真算法的时间为  $NT$ （未考虑向量拟合的时间）。其中， $N$  为频率点的个数。当选择的频率点过多时，求解的时间增加；但是，当我们选择的频率点过少时，计算精度又会受到影响。因此，频率点的选择，直接关系到整个计算的精度和速度，我们需要在精度和速度上做折衷。

我们采用文[62]的频率采样点的选择方法。最高频率  $f_{max}$  一般不会高于几 GHz，然后我们使用对数比例来选定频率采样点。因此，频率采样点的数目为  $O(\log f_{max})$ ，在我们的实验中，大约需要有几个十频率采样点。

### 5.2.4 电路方程建立

供电网络的 RLC 模型建立以后，可以构造节点电压方程组。我们使用改进节点分析法建立电路方程，其好处在于可以处理完整耦合电感效应，且避免回路电流法中寻找独立回路的操作，同时，由改进节点分析法得到的电路方程具有很好的性质。根据改进的节点分析法（MNA）可以得到微分方程

$$\begin{bmatrix} \mathbf{G} & \mathbf{A}_L^T \\ -\mathbf{A}_I & \mathbf{R} \end{bmatrix} \begin{bmatrix} \mathbf{V}_n(t) \\ \mathbf{I}_L(t) \end{bmatrix} + \begin{bmatrix} \mathbf{C} & \mathbf{0} \\ \mathbf{0} & \mathbf{L} \end{bmatrix} \begin{bmatrix} \frac{d\mathbf{V}_n(t)}{dt} \\ \frac{d\mathbf{I}_L(t)}{dt} \end{bmatrix} = \begin{bmatrix} -\mathbf{A}_I^T \mathbf{I}_s(t) \\ \mathbf{0} \end{bmatrix} \quad (5-8)$$

其中， $\mathbf{I}_s(t)$ 、 $\mathbf{V}_n(t)$  和  $\mathbf{I}_L(t)$  分别是独立电流源向量，节点的未知电压向量和电感支路的未知电流向量。 $\mathbf{G}$  矩阵是不包括电感支路的电导矩阵，而  $\mathbf{R}$  是电感支路的电阻矩阵。 $\mathbf{C}$  和  $\mathbf{L}$  分别是电容和电感矩阵。矩阵  $\mathbf{A}_I$  和  $\mathbf{A}_L$  分别是电流源和电感支路的邻接矩阵。 $\mathbf{A}_I^T$  和  $\mathbf{A}_L^T$  分别为矩阵  $\mathbf{A}_I$  和  $\mathbf{A}_L$  的转置。未知电流和未知电压是随时间变化的。对于时域分析，基于上式，需要将时间离散为若干个时间步，来求解这个微分方程。

将公式(5-8)转换为频域方程

$$\begin{bmatrix} \mathbf{G} & \mathbf{A}_L^T \\ -\mathbf{A}_I & \mathbf{R} \end{bmatrix} \begin{bmatrix} \mathbf{V}_n \\ \mathbf{I}_L \end{bmatrix} + s \begin{bmatrix} \mathbf{C} & \mathbf{0} \\ \mathbf{0} & \mathbf{L} \end{bmatrix} \begin{bmatrix} \mathbf{V}_n \\ \mathbf{I}_L \end{bmatrix} = \begin{bmatrix} -\mathbf{A}_I^T \mathbf{I}_s \\ \mathbf{0} \end{bmatrix} \quad (5-9)$$

其中,  $s = j\omega$ ,  $\omega$  是角频率。这里,  $I_s$  表示频域下的电流源向量, 由时域的电流源  $I_s(t)$  通过 Laplace 变换得到;  $V_n, I_L$  分别为频域下的节点电压和电感支路电流, 都是复数向量, 也是该方程的未知量, 未知量个数等于节点的数量  $n_n$  加上电感支路的数量  $n_L$ 。对于给定的频率点, 通过求解复数线性方程(5-9), 可以得到频域下的电压响应。

复数向量  $I_s, V_n$  和  $I_L$  可以写成实部和虚部的和

$$I_s = I_{sre} + jI_{sim} \quad (5-10)$$

$$V_n = V_{nre} + jV_{nim} \quad (5-11)$$

$$I_L = I_{Lre} + jI_{Lim} \quad (5-12)$$

然后, 公式(5-9)可以转化为实数线性方程组

$$\begin{bmatrix} G & -\omega C & A_L^T & \mathbf{0} \\ \omega C & G & \mathbf{0} & A_L^T \\ -A_L & \mathbf{0} & R & -\omega L \\ \mathbf{0} & -A_L & \omega L & R \end{bmatrix} \begin{bmatrix} V_{nre} \\ V_{nim} \\ I_{Lre} \\ I_{Lim} \end{bmatrix} = \begin{bmatrix} -A_I^T I_{sre} \\ -A_I^T I_{sim} \\ \mathbf{0} \\ \mathbf{0} \end{bmatrix} \quad (5-13)$$

我们将电感矩阵  $L$  用  $K^{-1}$  代替,  $K$  在公式(5-7)中已经给出, 则公式(5-13)可以写成包含  $K$  参数矩阵的方程组

$$\begin{bmatrix} G & -\omega C & A_L^T & \mathbf{0} \\ \omega C & G & \mathbf{0} & A_L^T \\ -KA_L & \mathbf{0} & KR & -\omega \mathbf{1} \\ \mathbf{0} & -KA_L & \omega \mathbf{1} & KR \end{bmatrix} \begin{bmatrix} V_{nre} \\ V_{nim} \\ I_{Lre} \\ I_{Lim} \end{bmatrix} = \begin{bmatrix} -A_I^T I_{sre} \\ -A_I^T I_{sim} \\ \mathbf{0} \\ \mathbf{0} \end{bmatrix} \quad (5-14)$$

其中,  $\mathbf{1}$  是单位矩阵。这样, 我们就建立了电路方程, 使用  $K$  参数进行完整耦合电感建模。求解方程(5-14)后, 就可以得到该频率的频域电压响应。

### 5.2.5 电路方程存储

当供电网络的规模增大, 方程(5-14)的维度会变得非常大, 但是, 其系数矩阵依然是稀疏矩阵。这就要求我们采用有效的存储方法和求解方法来提高计算效率。

需要求解的线性方程组的系数矩阵是一个大型的稀疏矩阵, 如果简单的使用二维数组对其进行存储, 因为有大量的零元素存在, 会浪费存储空间。而且,

也有可能求解时，存在不必要的零元素的相关操作，影响方程求解的效率。实际上，在存储时，我们只需要存储非零元。由于系数矩阵是稀疏矩阵，我们采用 GMRES 方法求解方程组。GMRES 是求解稀疏线性方程组的有效迭代算法。在使用 GMRES 进行迭代求解时，其中较耗时的是矩阵-向量乘的运算，如果存储零元素，会浪费存储空间，同时，也可能存在乘 0 的操作，造成矩阵求解的低效。采用合适的存储方式，不仅可以节省内存空间，还可以有效的提高方程求解的效率。

考虑到电路方程的系数矩阵是一个大型的稀疏矩阵，而且系数矩阵可以分为几个分块矩阵、每个分块矩阵也是稀疏矩阵，我们对系数矩阵进行分块存储。每个分块矩阵用三个一维数组表示。设分块矩阵的维数是  $N$ ，用三个数组  $l_d$ ,  $j_i$ ,  $i_i$  存储。

$l_d$ : 存储分块矩阵中所有的非零元素，按照行优先方式存储，又称为行压缩存储；

$j_i$ : 依次存放  $l_d$  中每个元素所对应的分块矩阵的列号；

$i_i$ : 依次存放分块矩阵每行的第一个元素在  $l_d$  中的位置。

由于分块矩阵的稀疏性，使用此方式进行存储可以有效地节省内存空间。而且，可以避免不必要的乘 0 的运算，节省了方程求解时间，提高了电路仿真效率。

由于 GMRES 中需要进行矩阵-向量乘运算，用行压缩存储方式更有效。电路方程的系数矩阵中存在  $A_L^T$  这个分块矩阵，因此，我们存储  $A_L^T$ 。而  $A_L$  是一个稀疏矩阵，存储其转置仅需要很少的额外内存空间。因此，我们需要存储的分块矩阵为： $G$ ,  $C$ ,  $A_L$ ,  $A_L^T$ ,  $K$ ,  $R$ 。

因为式(5-14)存在  $KA_L$  和  $KR$  分块矩阵，当分块矩阵  $A_L$ ,  $K$ ,  $R$  等建立好后，进行矩阵-矩阵乘，即  $KA_L$  和  $KR$  的操作是在分块矩阵建立后，方程求解前完成。这样，在求解的过程中，无需再做矩阵-矩阵乘运算。因此，在一个频率点，矩阵-矩阵乘  $KA_L$  和  $KR$  只需要各一次，如果放在方程求解时再做，矩阵-矩阵乘的次数，就和迭代次数相关了。由于矩阵  $A_L$  的性质，结果矩阵  $KA_L$  也是稀疏矩阵，其非零元的个数比矩阵  $K$  略多，仅有少量的填入元，计算过程很快。而矩阵  $R$  是一个对角矩阵，因此结果矩阵  $KR$  也是稀疏矩阵，其非零元的个数和分布与矩阵  $K$  相同，计算过程也很快。而当矩阵-矩阵乘的结果矩阵  $KA_L$  和  $KR$  得到后，将做为新的分块矩阵，用分块矩阵存储方式存储。这时，可以释放掉分块矩阵  $K$ ,

$A_L$  和  $R$ 。此时存储的分块矩阵为： $G$ ， $C$ ， $A_L^T$ ， $KA_L$ ， $KR$ 。

### 5.2.6 电路方程求解

我们采用 GMRES 迭代方法对方程(5-14)求解，并对方程组的求解进行了改进。

改进一：矩阵系数平衡技术。

在实验中，我们发现，方程(5-14)前两组方程的系数和后两组方程的系数差别很大，因为  $KR$  的非零元与  $G$  的非零元有几个数量级的差别。因此，我们采用矩阵系数平衡技术来改善条件数。我们将方程(5-14)的后两组方程乘上一个因子  $\delta$ ，得到

$$\begin{bmatrix} \mathbf{G} & -\omega\mathbf{C} & \mathbf{A}_L^T & \mathbf{0} \\ \omega\mathbf{C} & \mathbf{G} & \mathbf{0} & \mathbf{A}_L^T \\ -\delta\mathbf{K}\mathbf{A}_L & \mathbf{0} & \delta\mathbf{K}\mathbf{R} & -\delta\omega\mathbf{1} \\ \mathbf{0} & -\delta\mathbf{K}\mathbf{A}_L & \delta\omega\mathbf{1} & \delta\mathbf{K}\mathbf{R} \end{bmatrix} \begin{bmatrix} \mathbf{V}_{nre} \\ \mathbf{V}_{nim} \\ \mathbf{I}_{Lre} \\ \mathbf{I}_{Lim} \end{bmatrix} = \begin{bmatrix} -\mathbf{A}_L^T \mathbf{I}_{sre} \\ -\mathbf{A}_L^T \mathbf{I}_{sim} \\ \mathbf{0} \\ \mathbf{0} \end{bmatrix} \quad (5-15)$$

其中， $\delta$  的值由矩阵  $G$  的典型非零元  $g$  和  $KR$  的典型非零元  $kr$  得到

$$\delta = g / kr \quad (5-16)$$

矩阵系数平衡后，系数矩阵的条件数得到了很大程度的改善，GMRES 的迭代次数也因此减少。我们以两个不同规模的供电网络结构为例，在两个不同的频率点，分别对这两个例子建立电路方程，然后比较系数矩阵的条件数。表 5.1

表 5.1 条件数比较

例子	频率	条件数	
		矩阵系数平衡前	矩阵系数平衡后
1	100Hz	$1.04 \times 10^{13}$	$1.72 \times 10^5$
	3.5GHz	$1.48 \times 10^{13}$	$3.82 \times 10^5$
2	100Hz	$1.77 \times 10^{13}$	$3.33 \times 10^5$
	3.5GHz	$2.69 \times 10^{13}$	$8.31 \times 10^5$



列出了这两个例子在两个频率点，使用矩阵系数平衡技术前后的系数矩阵条件数的比较。从表中可以看出，采用矩阵系数平衡技术后，系数矩阵的条件数显著下降。

改进二：预条件技术。

我们采用矩阵系数平衡后，还采用了预条件技术。用 **Jacobi** 预条件可以有效的加速 **GMRES** 收敛的速度，而仅仅需要很少的额外计算开销。此预条件矩阵，近似于系数矩阵  $A$  的逆。但是，由于  $G$  矩阵的对角线元素中存在零元素，因此，不能直接使用 **Jacobi** 预条件。在系数矩阵对角线元素为 0 的位置，我们将预条件矩阵的相应元素值设为 1。即，如果由原始的系数矩阵得到的 **Jacobi** 预条件矩阵为  $P$ ，那么将对角线的零元素处理后，得到的新预条件矩阵变为

$$P' = \begin{bmatrix} P & 0 \\ 0 & I \end{bmatrix} \quad (5-17)$$

其中， $I$  表示单位矩阵。由于  $G$  矩阵的对角线元素为 0 的个数比系数矩阵的维度小很多。所以，新的预条件矩阵在一定程度上，近似于 **Jacobi** 预条件矩阵。我们的数值结果也表明，采用预条件技术后，求解速度得到加快。

改进三：优化初始解的选择。

在不同的频率点，我们均需要建立方程并求解。当频率较低时，相邻频率点的频率值变化不大。此时，系数矩阵的变化相对较小，且右端项的变化也相对较小。此时，可以将前一个频率点的电路方程求解结果，作为当前频率点电路方程 **GMRES** 求解的初始值，从而优化初始解的选择，可以减少迭代次数，加速求解过程。而当频率增加到一定程度，相邻频率点的频率值差别较大，系数矩阵和右端项的变化也较大，此时，不能采用这一方法选择初始解，而需要根据方程的特点，选择合适的初始解。

### 5.2.7 向量拟合方法

向量拟合方法是用有理分式近似拟合频域内响应的一般方法<sup>[64]</sup>，其基本思想是将非线性问题转换为线性最小二乘（**Linear Least Square, LLS**）问题。然后，用迭代方法改进极点位置。向量拟合方法已经发展为在公共领域共享的稳定的数值软件包<sup>[85-86]</sup>。

当求解得到某个节点所有频域采样点的电压响应后，使用向量拟合方法，通过有理分式来拟合这些电压响应

$$V_k(s) = \sum_{i=1}^{N_a} \frac{r_i}{s-p_i} \quad (5-18)$$

其中,  $V_k$  表示节点  $k$  的电压,  $r_i$  和  $p_i$  分别是向量拟合方法得到的剩余和极点, 或者是实数, 或者是共轭复数对,  $N_a$  为近似阶数。由于极点  $p_i$  在分母中,  $p_i$  是未知量, 所以这个问题是非线性问题。事实上, 向量拟合法是先给极点设定一个初始值, 使极点变为已知量。那么, 式(5-18)就转化为, 求解剩余  $r_i$  的线性问题, 再通过线性最小二乘方程, 可以容易地计算出未知量。

结合公式(5-18), 时域的电压响应可以得到

$$v_k(t) = \sum_{i=1}^{N_a} [r_i \cdot e^{p_i t} \cdot u(t)] \quad (5-19)$$

向量拟合的主要计算时间是用在求解线性最小二乘问题 (LLS), 其系数矩阵的维度为  $2m \times 2N_a$ 。其中,  $m$  为频率采样点的个数。线性最小二乘问题可以用一般方程的求解方法求解, 或者用 QR 分解, 其算法复杂度为  $O(mN_a^2)$ 。通常, 互连电路仿真不会涉及到很多共振峰值, 一般低阶的  $N_a$  就能保证拟合近似的精度。

### 5.3 算法流程

上述互连电路仿真算法的计算流程, 可概述如下。

1. 根据电流源的频率, 选择适当的频率采样点。
2. 将电流源从时域波形通过 Laplace 变换, 得到频域表达式。
3. 建立频域下的电路方程(5-14), 电阻和  $\mathbf{K}$  参数由第 3 章介绍的 FRRE 方法提取得到, 电容参数由 FastCap 软件提取得到。
4. 用 GMRES 方法求解方程, 并采用矩阵系数平衡和预条件技术, 得到频域电压响应。
5. 对每个频率采样点, 重复步骤 2 到 4, 从而得到每个频率点的电压响应。当两个相邻的频率点频率变化不大时, 将前一个频率的方程求解结果做为当前电路方程 GMRES 求解的初始值, 加速方程求解过程。
6. 用向量拟合方法, 通过有理分式拟合频域电压响应。
7. 用 Laplace 逆变换, 得到时域的电压响应。

## 5.4 算法复杂度分析

在频域分析中，我们采用  $\mathbf{K}$  参数矩阵代替部分电感矩阵，减少了存储空间。使用改进节点法 (MNA) 建立电路方程，且由于  $\mathbf{K}$  参数矩阵的稀疏性，使得电路方程的系数矩阵也是一个稀疏矩阵，可以用 GMRES 方法进行方程求解。同时，我们采用了矩阵系数平衡和预条件技术，并优化初始解的选择。而且，我们结合方程系数矩阵的特点，并考虑 GMRES 求解的特点，采用了有效的系数矩阵存储方式，求解的复杂度为  $O(N^\alpha)$ ，其中  $N$  是方程(5-15)的维度， $\alpha$  的值在 1 和 2 之间。

而频率采样点的选择，影响了电路仿真算法的速度以及结果的精度。因为，每选定一个频率点，我们都需要建立该频率的电路方程，并对其进行求解。假设每个频率点建立方程和求解的总时间为  $T$ ，则整个仿真算法的时间为  $NT$ （未考虑向量拟合的时间）。其中， $N$  为频率点的个数。当选择的频率点过多时，求解的时间增加；但是，当我们选择的频率点过少时，计算精度又会受到影响。因此，频率点的选择，直接关系到电路仿真的计算精度和速度，我们需要在精度和速度上做平衡。我们采用文[62]中频率点的选择方法，用对数比例来选取频率采样点，因此，频率采样点的个数为  $O(\log f_{\max})$ ，其中， $f_{\max}$  是频率的上限。向量拟合的时间复杂度为  $O(N_a^2 \cdot \log f_{\max})$ ，其中， $N_a$  是近似阶数。一般说来， $f_{\max}$  在几 GHz 左右。因此，一般选择几十个频率点就可以保证计算的精度。在我们的实验中，我们选择了 38 个频率采样点。

对于考虑电感耦合的互连电路仿真，求解电路方程占据了主要的运行时间，因为方程(5-15)的维度  $N$  比  $N_a$  大很多。因此，频域线性方程组求解的时间复杂度为  $O(N^\alpha \cdot \log f_{\max})$ 。如果很多节点的电压响应都需要考虑，向量拟合的时间复杂度需要乘上节点的个数  $N_{out}$ 。对于分析最大的电压变化，一般只考虑低层的电源/地线节点。而对于一般的互连结构，通常也只需要计算少量节点的电压响应。因此， $N_{out}$  是一个较小的数值。

通过前面的分析，我们知道，使用改进节点法和用耦合  $\mathbf{K}$  参数对电感建模，可以有效的处理完整耦合电感，节省存储空间，减少计算时间。同时，基于频域的分析方法，其复杂度正比于频率采样点的个数，而不与时间步相关。而传统的时域分析方法依赖于时间步，因此，本章方法比传统的时域瞬态分析方法快速高效，且可以有效的处理频变参数。

## 5.5 数值结果

### 5.5.1 精度比较

上述基于频域分析的电路仿真算法已经用 C 语言实现。在求得频域下的电压响应后，通过向量拟合方法求得时域下的电压响应。向量拟合方法是用 matlab 程序实现。我们将算法结果和商业软件 HSPICE<sup>[41]</sup> 进行比较。所有的实验结果是在工作站 Intel Xeon 上运行得出，具有 3GHz CPU 和 4GB 内存空间。我们使用了一些供电网络结构对算法进行测试和实验。

对于给定的供电网络结构，使用了完整的电感效应模型，选取了 38 个频率采样点，从直流 (DC) 到 3.5GHz 左右。图 5.6 给出了频域下电压响应和向量拟合的精度比较。图 5.7 给出了恢复到时域的电压响应和 HSPICE 的结果比较。从图中可以看出，两种方法的误差很小，其最小电压响应 (图 5.7 中的第一个波谷) 的相对误差为 1.9%，而最大电压响应 (图 5.7 中的第一个波峰) 的相对误差为 1.0%。从图 5.7 中可以清楚的看出，本章算法和 HSPICE 相比，有很高的计算精度。

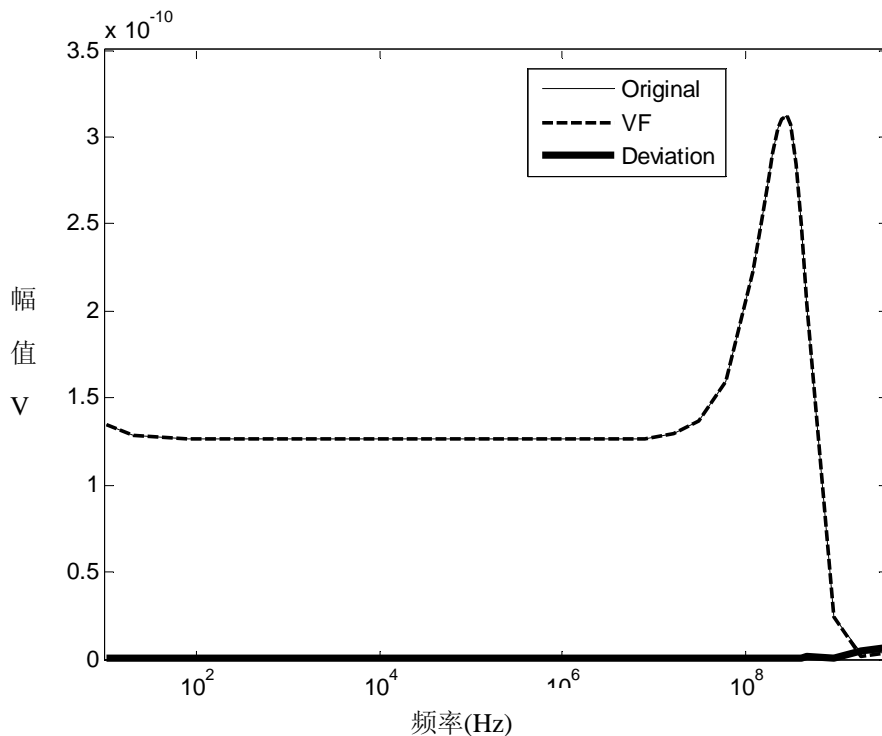


图 5.6 频域下电压响应和向量拟合的精度比较

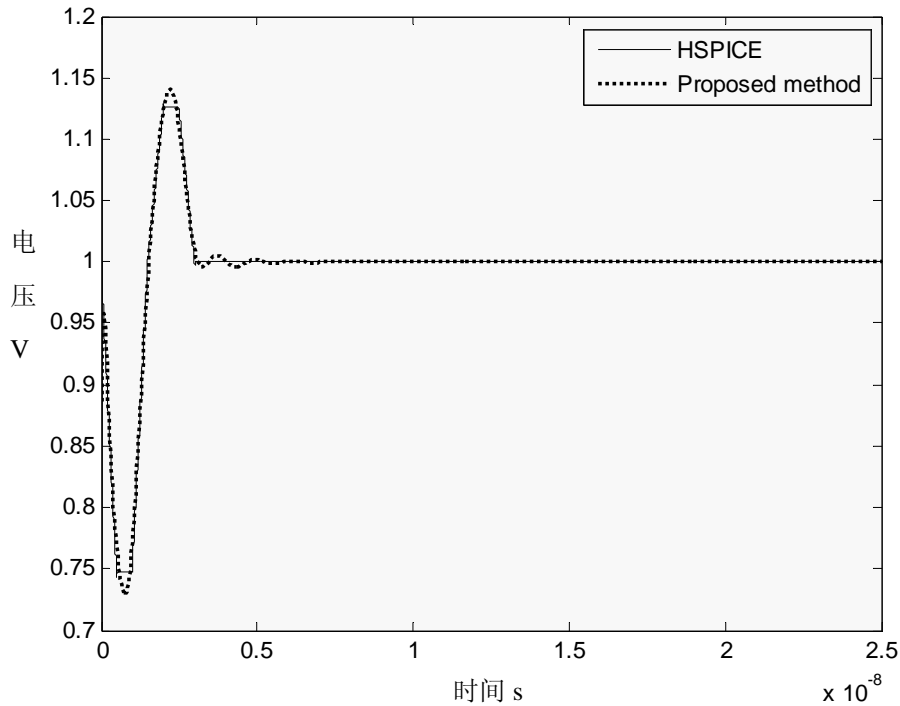


图 5.7 恢复到时域的电压响应比较

### 5.5.2 速度比较

对于测试的 5 个供电网络例子，它们的规模从 348 个节点到 103, 344 个节点不等。本章算法和 HSPICE 所用的时间如表 5.2 所示，本章算法的时间仅包含了各个频率下建立频域方程和求解频域方程的时间。因为，通过向量拟合方法，从频域电压响应得到时域电压响应，仅需要额外约 0.2 秒时间，因此，总的时间仅比表 5.2 列出的时间多很少的一点。

表 5.2 的第 5 栏给出了 GMRES 采用了矩阵系数平衡和预条件技术以及优化初始解选择的时间，从中我们可以看出，采用预条件技术可以大大提高求解的效率。对于较大的两个例子，如果未采用预条件技术，GMRES 在设定的条件下，不能收敛。而矩阵系数平衡技术的效果已在表 5.1 中体现。

表 5.2 的最后一栏给出了本章算法采用了矩阵系数平衡、预条件技术以及优化初始解的选择等技术后，相对于 HSPICE 的加速比。

我们通过第 3 章的 FRRE 方法求得  $\mathbf{K}$  参数矩阵，然后求逆得到部分电感矩阵，做为 HSPICE 网表的输入。对于第 3 个例子，HSPICE 由于内存不足，不能计算出电压响应。而对于两个较大的例子，由于维度太大，我们无法对  $\mathbf{K}$  参数矩阵

求逆。而且，第 3 个例子，HSPICE 已经处理不了，即使可以将  $K$  参数矩阵求逆，得到电感矩阵做为 HSPICE 的输入，HSPICE 也应该因为内存不足的原因而无法处理。

表 5.2 与 HSPICE 的时间比较（单位：秒）

例子	节点数	金属小段数	本章算法时间		HSPICE 的时间	加速比
			无预条件	有预条件		
1	348	344	31.3	19.5	381.9	19.6
2	808	804	107.6	73.9	9693.7	131
3	1460	1468	307.9	209.7	N.A.	N.A.
4	10832	10828	N.A.	7383.5	N.A.	N.A.
5	103344	103340	N.A.	354406	N.A.	N.A.

从表 5.2 可以看出，对于较小的两个例子，本章算法比 HSPICE 快几十到上百倍。而且，本章算法可以处理 HSPICE 不能处理的大规模供电网络结构。

本章算法可以并行化，即可以在不同频率点建立和求解频域方程(5-15)时并行处理。如果采用了并行策略，该算法有得到更大加速比的潜能。

## 5.6 本章小结

本章提出并实现了一个高效可靠的，考虑了完整电感效应的电路仿真算法。该算法基于频域分析方法，先建立频域电路方程，求解出频域电压响应。然后用向量拟合方法，求得时域电压响应，避免了时间步的迭代。其主要的贡献有以下两点。

1. 考虑了电感的完整耦合效应，采用改进节点法和  $K$  参数矩阵稀疏化技术，大大降低了计算时间和存储空间。同时，算法也可以考虑高频效应，处理频变参数。

2. 采用了有效的稀疏矩阵存储方法，有效的减少了内存使用；使用矩阵系数平衡和预条件技术的 GMRES 方法迭代求解，并优化初始解的选择，提高了方程求解效率。

实验数据表明，在保持良好精度的同时，本算法比现有的 HSPICE 软件快几十至上百倍。

## 第6章 总结与展望

### 6.1 总结

随着大规模集成电路技术的发展和生产工艺的不断提高，寄生电感的有效提取成为人们广泛关注的研究领域。在三维寄生电感提取算法中， $K$  参数方法是一类较新的、有发展前途的算法。 $K$  参数具有与电容类似的很好的局部性，且基于  $RKC$  的电路仿真高效而稳定，使得这类方法越来越受到人们的青睐。而随着电感效应的增强，考虑完整电感耦合的电路仿真算法，也成为研究的热点。本文针对三维互连结构的电感建模与仿真的实际问题，提出了相应的算法，具体创新如下：

1. 提出了一种快速有效的三维互连结构的频变  $K$  参数和电阻的提取算法。该算法基于窗口技术和  $K$  参数直接提取方法，在窗口内采用改进的细丝阻抗复用技术、方程维度压缩以及矩阵系数平衡等技术，加速线性方程组的形成和求解，同时也能快速提取出频变电阻。实验结果表明，此算法在保证同等计算精度的同时，比 MIT 的著名软件原型 FastHenry 快几十至数百倍。

2. 提出了一种有效的针对大规模结构化供电网络的  $K$  参数提取算法。该算法基于大规模结构化供电网络的特点，利用  $K$  参数的局部性，采用有效的模块  $K$  参数复用技术，能够对大规模供电网络进行快速准确的电感建模。数值实验表明，该算法可以有效处理包含多达十多万根导体的大规模结构化供电网络，计算速度比 FastHenry 快上百倍，比已提出的基于窗口的提取方法快几倍至数十倍，并保证较高的计算精度。

3. 提出了一种考虑电感耦合的大规模互连结构快速仿真算法。该算法基于频域分析和向量拟合的瞬态电路仿真方法，采用改进节点法和  $K$  参数矩阵稀疏化技术，通过有效的稀疏矩阵存储、矩阵系数平衡、以及预条件 GMRES 迭代求解等技术有效地提高了频域电路方程的求解效率。数值实验表明，该算法能对包含多达十万个节点的电感耦合互连电路进行瞬态仿真，在保持良好精度的同时，计算速度比业界著名软件 HSPICE 快几十倍以上。



## 6.2 下一步工作展望

进一步的工作可包括如下几方面：

1. 窗口划分方法的改进。由于封装结构耦合紧密，通过改进窗口划分方法，可提高封装结构的计算精度。
2. 全芯片供电网络结构的电感建模方法。结合实际工艺特点，对全芯片的供电网络进行准确有效的电感建模还是一个很大的挑战。
3. 将基于频域分析的互连电路仿真算法并行化。通过并行计算，算法加速比可进一步增大。

## 参考文献

- [1] Moore G E. Cramming more components onto integrated circuits. *Electronics Magazine*, 1965, 38:114–117.
- [2] International Roadmap Committee. International technology roadmap for semiconductors. 2007 Edition. [EB/OL]. [2008-03-16]. <http://www.itrs.net/>.
- [3] Ruehli A E, Cangellaris A C. Progress in the methodologies for the electrical modeling of interconnects and electronic packages. In *Proceedings of the IEEE*, May. 2001:740-771.
- [4] Kao W H, Lo C, Basel M, et al. Parasitic extraction: current state of the art and future trends. In *Proceedings of the IEEE*, May. 2001: 729-739.
- [5] Krauter B, Mehrotra S, Chandramouli V. Including inductive effects in interconnect timing analysis. In *Proceedings of the Custom Integrated Circuits Conference*, May. 1999: 445-452.
- [6] Shepard K L, Tian Z. Return-limited inductances: a practical approach to on-chip inductance extraction. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and System*, 2000, 19(4): 425-436.
- [7] Kahng A B, Muddu S. An analytical delay model for RLC interconnects. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1997, 16(12): 1507-1514.
- [8] Davis J A, Meindl J D. Compact distributed RLC models for multilevel interconnect networks. In *Symposium on VLSI Circuits, Digest of Technical Papers*, Jun. 1999: 167-168.
- [9] Ismail Y I, Friedman E G. On-chip inductance cons and pros. *IEEE Transactions on Very Large Scale Integration Systems*, 2002, 10(6): 685-694.
- [10] Sinha A, Gupta S K, Breuer M A. Validation and test generation for oscillatory noise in VLSI interconnects. In *Proceedings of IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers*, Nov. 1999: 289-296.
- [11] Massoud Y, White J. Simulation and modeling of the effect of substrate conductivity on coupling inductance. In *International Electron Devices Meeting*, Dec. 1995: 491-494.
- [12] Kamon M. Fast parasitic extraction and simulation of three dimensional interconnect via quasistatic analysis. [Ph. D Thesis]. Cambridge, MA: Massachusetts Institute of Technology, Department of Electric Engineering and Compute Science, 1998.
- [13] Beattie M W, Pileggi L T. Inductance 101: modeling and extraction. In *Proceedings of Design Automation Conference*, Jun. 2001:323-328.
- [14] Rosa E. The self and mutual inductance of linear conductors. *Bulletin of the Bureau of Standards*, 1908, 4(2): 301-344.

- [15] 魏洪川. VLSI 三维互连频变电感电阻快速提取算法研究. [博士论文]. 北京: 清华大学计算机系, 2005.
- [16] Ruehli A E. Equivalent circuit models for three-dimensional multiconductor system. *IEEE Transactions on Microwave Theory and Techniques*, 1974, 22(3): 216-221.
- [17] Kamon M, Tsuk M J, White J. FastHenry: a multipole-accelerated 3-D inductance extraction program. *IEEE Transactions on Microwave Theory and Techniques*, 1994, 42(9): 1750-1758.
- [18] Kamon M, Tsuk M J, White J. FastHenry: a multipole-accelerated 3-D inductance extraction program. In *proceedings of Design Automation Conference*, Jun. 1993:678-683.
- [19] Ruehli A E, Heeb H. Circuit model for three dimensional geometrics including dielectrics. *IEEE Transactions on Microwave Theory and Techniques*, 1992, 40(7):1507-1516.
- [20] Coperich K M, Ruehli A E, Cangellaris A. Enhanced skin effect for partial-element equivalent-circuit (PEEC) models. *IEEE Transactions on Microwave Theory and Techniques*, 2000, 48(9):1435-1442.
- [21] Cullum J, Ruehli A E, Zhang T. A method for reduced-order modeling and simulation of large interconnect circuits and its application to PEEC models with retardation. *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, 2000, 47(4):261-273.
- [22] Restle P J, Ruehli A E, Walker S G, et al. Full-wave PEEC time-domain method for the modeling of on-chip interconnects. *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, 2001, 20(7):877-886.
- [23] Cao Y, Li Z, Mao J, et al. A PEEC with a new capacitance model for circuit simulation of interconnects and packaging structures. *IEEE Transactions on Microwave Theory and Techniques*, 2000, 48(2): 281-287.
- [24] Kaushik G, Vladimir Z, Rajendran R, et al. On-chip inductance modeling and analysis. In *Proceedings of Design Automation Conference*, Jun. 2000: 63-68.
- [25] Shepard K L, Tian Z. Return-limited inductances: a practical approach to on-chip inductance extraction. In *proceedings of the IEEE Custom Integrated Circuits*, May. 1999:453-456.
- [26] He Z, Mustafa C, Lawrence P. Spie: Sparse Partial Inductance Extraction. In *Proceedings of Design Automation Conference*, Jun. 1997: 137-140.
- [27] Devgan A, Ji H, Dai W. How to efficiently capture on-chip inductance effects: introducing a new circuit element K. In *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, Nov. 2000: 150-155.

- [28] Ji H, Devgan A, Dai W. KSPICE: efficient and stable RKC simulation for capturing on-chip inductance effect. Technical Report UCSC-CRL-00-10, Univ. California Santa Cruz, 2000.
- [29] Ji H, Devgan A, Dai W. KSim: A stable and efficient RKC simulator for capturing on-chip inductance effect. In Proceedings of Asia and South Pacific Design Automation Conference, Jan. 2001:379–384.
- [30] Chen T H, Luk C, Kim H, et al. INDUCTWISE: inductance-wise interconnect simulator and extractor. In Proceedings of IEEE/ACM International Conference on Computer-Aided Design, Nov. 2002:215-220.
- [31] Chen T H, Luk C, Kim H, et al. INDUCTWISE: inductance-wise interconnect simulator and extractor. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2203, 22(7): 884-894.
- [32] Du Y, Dai W. Partial reluctance based circuit simulation is efficient and stable, In Proceedings of Asia and South Pacific Design Automation Conference, Jan. 2005: 483-488.
- [33] Li H, Balakrishnan V, Koh C K, et al. Compact and stable modeling of partial inductance and reluctance matrices. In Proceedings of Asia and South Pacific Design Automation Conference, Jan. 2005: 507-510.
- [34] Li H, Balakrishnan V, Koh C K. Stable and compact inductance modeling of 3-D interconnect structures. In Proceedings of International Conference on Computer-Aided Design, Nov. 2006:1-6.
- [35] Luk C, Chen T H, Chen C C P. Frequency-dependent reluctance extraction. In Proceedings of Asia and South Pacific Design Automation Conference, Jan. 2004:793-798.
- [36] 魏洪川, 喻文健, 杨柳, 等. 基于 K 参数思想的快速三维互连电感电阻提取算法. 电子学报, 2005, 33(8): 1365-1369.
- [37] Wei H, Yu W, Yang L, et al. Fast 3-D impedance extraction of VLSI interconnects based on the K element. In Proceedings of International Conference on Communications, Circuits and Systems, May. 2005:1201-1205.
- [38] Du Y. Capturing on-chip inductance effects by the partial reluctance approach. [Ph. D Thesis]. CA: Univ. California Santa Cruz, school of Engineering, 2004.
- [39] Zhang M, Yu W, Du Y, et al. An efficient algorithm for 3-D reluctance extraction considering high frequency effect. In Proceedings of Asia and South Pacific Design Automation Conference, Jan. 2006:483-488.
- [40] Beattie M, Pileggi L. Efficient inductance extraction via windowing. In Proceedings of Design Automation and Test in Europe, Mar. 2001:430-436.
- [41] Synopsys Inc. HSPICE RF Manual. Sep. 2005:49-51.

- [42] Li H, Qi Z, Tan S, et al. Partitioning-based approach to fast on-chip decap budgeting and minimization. In Proceedings of Design Automation Conference, Jun. 2005:170-175.
- [43] Zhu Z, Yao B, Chen C K. Power network analysis using an adaptive algebraic multigrid approach. In Proceedings of Design Automation Conference, Jun. 2003:105-108.
- [44] Su H, Acar E, Nassif S R. Power grid reduction based on algebraic multigrid principles. In Proceedings of Design Automation Conference, Jun. 2003:109-112.
- [45] Kozhaya J N, Nassif S R, Najm F N. A multigrid-like technique for power grid analysis. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(10):1148-1160.
- [46] Kozhaya J N, Nassif S R, Najm F N. A multigrid-like technique for power grid analysis. In Proceeding of IEEE/ACM International Conference on Computer Aided Design, Nov. 2001:480-487.
- [47] Huang P, Chou H, Lee Y. An aggregation-based algebraic multigrid method for power grid analysis. In Proceedings of International Symposium on Quality Electronic Design, Mar. 2007:159-164.
- [48] Zhao M, Panda R V, Sapatnekar S S, et al. Hierarchical analysis of power distribution networks. IEEE Transactions on Computer-Aided Design of Integrated Circuits and System, 2002, 21(2):159-168.
- [49] Zhao M, Panda R V, Sapatnekar S S, et al. Hierarchical analysis of power distribution networks. In Proceeding of Design Automation Conference, Jun. 2002:150-155.
- [50] Cap Y, Lee Y, Chen T, et al. HiPRIME: hierarchical and passivity reserved interconnect macromodeling engine for RLKC power delivery. In Proceedings of Design Automation Conference, Jun. 2002:379-384.
- [51] Su H, Gala K, Sapatnekar S S. Analysis and optimization of structured power/ground networks. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2003, 22(11):1533-1544.
- [52] Li H, Jain J, Balakrishnan V, et al. Efficient analysis of large-scale power grids based on a compact Cholesky factorization. In Proceedings of International Symposium on Quality Electronic Design, Mar. 2007:627-632.
- [53] Zhao L, Shi C. An efficiently preconditioned GMRES method for fast parasitic-sensitive deep-submicron VLSI circuit simulation. In Proceedings of Design Automation and Test in Europe, Feb. 2005:752-757.
- [54] Chen T, Chen C C P. Efficient large-scale power grid analysis based on preconditioned Krylov-subspace iterative methods. In Proceedings of Design Automation Conference, Jun. 2001: 559-562.

- [55] Wang J M, Nguyen T V. Extended Krylov subspace method for reduced order analysis of linear circuits with multiple sources. In Proceedings of Design Automation Conference, Jun. 2000:247-252.
- [56] Lee Y, Chen C C P. Power grid transient simulation in linear time based on transmission-line-modeling alternating-direction-implicit method. In Proceeding of IEEE/ACM International Conference on Computer Aided Design, Nov. 2001:75-80.
- [57] Lee Y, Chen C C P. Power grid transient simulation in linear time based on transmission-line-modeling alternating-direction-implicit method. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(11):1343-1352.
- [58] Guo W, Tan S X. Circuit level alternating-direction-implicit approach to transient analysis of power distribution networks. In Proceedings of International Conference on ASIC, Jan. 2003:246-249.
- [59] Qian H, Nassif S R, Sapatnekar S S. Random walks in a supply network. In Proceedings of Design Automation Conference, Jun. 2003:93-98.
- [60] Guo W, Tan S, Luo Z, et al. Partial random walk for large linear network analysis. In Proceeding of IEEE International Symposium on Circuits and Systems, May. 2004:V173-V177.
- [61] Zhang W, Zhang L, Shi R, et al. Fast power network analysis with multiple clock domains. In Proceeding of IEEE International Conference on Computer Design, Oct. 2007:456 – 463.
- [62] Zhang W, Yu W, Hu X, et al. Efficient power network analysis considering multi-domain clock gating. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009 (accepted)
- [63] Zhang L, Yu W, Zhu H, et al. Clock skew analysis via vector fitting in frequency domain. In Proceeding of International Symposium on Quality Electronic Design, Mar. 2008:476-479.
- [64] Gustavsen B, Semlyen A. Rational approximation of frequency domain responses by vector fitting. IEEE Transactions on Power Delivery, 1999, 14(3):1052-1061.
- [65] 杰姆斯.克勒克.麦克斯韦著. 戈革译. 电磁通论. 武汉出版社, 1992.
- [66] Haus H A, Melcher J R. Electromagnetic fields and energy. NJ: Prentice-Hall: Englewood Cliffs, 1989.
- [67] 杨柳. VLSI 三维互连电感电阻快速提取算法研究. [博士论文]. 北京:清华大学计算机系, 2004.
- [68] Harrington R F. Field Computation by Moment methods. New York: MacMillan, 1968.
- [69] Ruehli AE. Inductance calculation in a complex integrated circuit environment. IBM Journal of Research and Development, 1972, 16(5):470-481.

- [70] Saad Y, Schultz M H. GMRES: a generalized minimal residual algorithm for solving nonsymmetric linear systems. *SIAM J. Sci. Stat. Computer*, 1986, 7(3):856-869.
- [71] Shi J, Cai Y, Tan S, et al. Pattern-based iterative method for extreme large power/ground analysis. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and System*, 2007, 26(4):680-692.
- [72] Shi J, Cai Y, Tan S, et al. High accurate pattern based precondition method for extremely large power/ground grid analysis. In *Proceedings of Asia and South Pacific Design Automation Conference*, Apr. 2006:108-113.
- [73] Nassif S R, Kozhaya J N. Fast power grid simulation. In *Proceedings of Design Automation Conference*, Jun. 2000:156-161.
- [74] 师进. 大规模结构化供电网络仿真优化算法研究. [博士学位论文]. 北京: 清华大学计算机系, 2008.
- [75] Xiong W, Tsai M, Zhang J, et al. Direct: an efficient optimization scheme for mask generation using inverse lithography. In *Proceedings of NSTI Nanotechnology Conference and Trade Show*, May. 2007:430-433.
- [76] Chen Y, Kahng A, Robins G, et al. Hierarchical dummy fill for process uniformity. In *Proceedings of Asia and South Pacific Design Automation Conference*, Jan. 2001:139-144.
- [77] Srivastava N, X Qi, Banerjee K. Impact of on-chip inductance on power distribution network design for nanometer scale integrated circuits. In *Proceedings of International Symposium on Quality Electronic Design*, Mar. 2005:346-351.
- [78] Pillage T, Rohrer R, Visweswariah C. *Electric electronic circuit and system simulation*. McGraw-Hill, 1994.
- [79] Bobba S, Hajj I N. Estimation of maximum current envelope for power bus analysis and design. In *Proceedings of International Symposium on Physical Design*, Apr. 1998:141-146.
- [80] 付静静. 超大规模集成电路电源/地线网络优化算法. [博士学位论文]. 北京: 清华大学计算机系, 2005.
- [81] 曾姗, 喻文健, 张梦生, 等. VLSI 互连线频变 K 参数和频变电阻的有效提取算法. *电子学报*, 2007, 35(11): 2072-2077.
- [82] Zeng S, Yu W, Hong X, Wang Z. An efficient 3D reluctance extractor for on-chip interconnects. In *Proceedings of International Conference on Solid-State and Integrated Circuit Technology*, Oct. 2006:357-359.
- [83] Nabors K, Kim S, White J K. Fast capacitance extraction of general three-dimensional structures. *IEEE Transactions on Microwave Theory and Techniques*, 1992, 40(7):1496-1505.

[84] Nabors K, White J. Multipole accelerated capacitance extraction algorithm for 3-D structures with multiple dielectrics. IEEE Transactions on Circuits System I, 1992, 39(11):946-954.

[85] Gustavsen B. Improving the pole relocating properties of vector fitting. IEEE Transactions on Power Delivery, 2006, 21(3):1587-1592.

[86] Gustavsen B. User's manual for vector fitting version 2.1 for Matlab. <http://www.energy.sintef.no/produkt/VECTFIT/index.asp>



## 致 谢

衷心感谢我的指导教师洪先龙教授的精心指导。在科研工作中，洪老师高屋建瓴的学术思想，严谨认真的治学态度将使我受益终生。

衷心感谢我的副指导教师喻文健副教授。喻老师对我的悉心指导和宝贵建议使我受益匪浅，喻老师的鼓励使我不断克服困难，在科研道路上不断前进。

感谢王泽毅教授、边计年教授和蔡懿慈教授的关心和呵护。感谢倪兵老师的支持和帮助。感谢张梦生、杜宇、师进、巩方、王建等同学的讨论和帮助。

感谢美国 UCSD 大学 C-K Cheng 教授等，在一些细节上的讨论，加快了我的课题进展。

感谢 EDA 实验室全体老师和同窗们的帮助和支持！

本课题承蒙国家自然科学基金和清华大学信息学院基础研究基金资助，特此致谢。

感谢我的家人和朋友对我的支持和鼓励！

---

---

---

---

---

---

---

---

---

---

## 声 明

本人郑重声明：所呈交的学位论文，是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名：\_\_\_\_\_ 日 期：\_\_\_\_\_

## 个人简历、在学期间发表的学术论文与研究成果

### 个人简历

1982年03月21日出生于四川省成都市。

2000年9月考入电子科技大学计算机学院，2004年7月本科毕业并获得工学学士学位。

2004年9月保送清华大学计算机科学与技术系攻读博士学位至今。

### 发表的学术论文

#### A: 已经刊载的学术论文

- [1] *Shan Zeng*, Wenjian Yu, Jin Shi, Xianlong Hong, Chung-Kuan Cheng. Efficient partial reluctance extraction for large-scale regular power grid structures. IEICE Transactions on Fundamentals. 2009, E92-A(6): 1476-1484. (SCI 源期刊)
- [2] *Shan Zeng*, Wenjian Yu, Wanping Zhang, Jian Wang, Xianlong Hong, Chung-Kuan Cheng. Efficient power network analysis with complete inductive modeling. In Proceedings of International Symposium on Quality Electronic Design (ISQED' 09), Mar. 2009:770-775. (EI 源)
- [3] *曾姗*, 喻文健, 张梦生, 洪先龙, 王泽毅. VLSI 互连线频变 K 参数和频变电阻的有效提取算法. 电子学报, 2007, 35(11): 2072-2077. (EI Accession number: 20080411058590)
- [4] *曾姗*, 喻文健, 杜宇, 洪先龙, 王泽毅. 局部 K 参数模拟方法的稳定性证明. 计算机辅助设计与图形学学报, 2007, 19(12):1517-1521. (EI Accession number: 20080511071465)
- [5] *Shan Zeng*, Wenjian Yu, Fang Gong, Xianlong Hong, Jin Shi, Zeyi Wang, Chung-Kuan Cheng. Efficient frequency-dependent reluctance extraction for large-scale power/ground grid. In Proceedings of International Conference on Solid-State and Integrated Circuit Technology (ICSICT'08), Oct. 2008:2292-2295. (EI Accession number: 20090911930898)

[6] **Shan Zeng**, Wenjian Yu, Xianlong Hong and Zeyi Wang. An efficient 3D reluctance extractor for on-chip interconnects. In Proceedings of International Conference on Solid-State and Integrated Circuit Technology (ICSICT'06), Oct. 2006:357-359. (EI Accession number: 20073110725229)

## B: 其他论文

[7] Zhuoyuan Li, Xianlong Hong, Qiang Zhou, **Shan Zeng**, Jinian Bian, Hannah Yang, Vijay Pitchumani, Chung-Kuan Cheng. Integrating dynamic thermal via planning with 3D floorplanning algorithm. In Proceedings of International Symposium on Physical Design, Apr. 2006:178–185. (EI Accession number: 20062910016439)

[8] Zhuoyuan Li, Xianlong Hong, Qiang Zhou, **Shan Zeng**, Jinian Bian, Wenjian Yu, Hannah Yang, Vijay Pitchumani, Chung-Kuan Cheng. Efficient thermal via planning approach and its application in 3D floorplanning. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2007, 26(4): 645-658. (EI Accession number: 20071310517652) .

## 攻读博士学位期间参加的科研项目

- VLSI 芯片级完整耦合互连寄生参数提取算法研究，国家自然科学基金面上项目(No. 90407004)
- 45 纳米及其后 CMOS 技术代互连分析与算法研究，清华大学信息学院基础研究基金
- 面向纳米级工艺的 SOC 设计方法学及 EDA 关键技术，国家自然科学基金国际合作基金项目(No. 60720106003)