

**考虑随机几何工艺变动的  
互连寄生电容提取算法研究  
Research on Interconnects  
Capacitance Extraction Algorithms  
Considering Random Geometric  
Process Variation**

(申请清华大学工程硕士专业学位论文)

培养单位： 微电子与纳电子学系

工程领域： 集成电路工程

申请人： 胡 超

指导教师： 喻文健 副教授

二〇一〇年五月



## 关于学位论文使用授权的说明

本人完全了解清华大学有关保留、使用学位论文的规定，即：  
清华大学拥有在著作权法规定范围内学位论文的使用权，其中包括：（1）已获学位的研究生必须按学校规定提交学位论文，学校可以采用影印、缩印或其他复制手段保存研究生上交的学位论文；（2）为教学和科研目的，学校可以将公开的学位论文作为资料在图书馆、资料室等场所供校内师生阅读，或在校园网上供校内师生浏览部分内容。

本人保证遵守上述规定。

**（保密的论文在解密后遵守此规定）**

作者签名： \_\_\_\_\_

导师签名： \_\_\_\_\_

日 期： \_\_\_\_\_

日 期： \_\_\_\_\_

## 摘 要

随着集成电路集成度的扩大和特征尺寸的缩小，集成电路工艺越来越复杂且难以精确控制。为验证集成电路性能和保证成品率，需要在集成电路设计阶段准确而有效的估计工艺变动给集成电路带来的影响。而随着半导体工艺步入纳米时代，互连线寄生参数效应对集成电路性能的影响已占据主导地位。本文研究了工艺变动下的互连电容提取问题，并做出了以下两点主要贡献：

1. 针对随机工艺变动引起的统计电容提取问题，本文提出一种改进的互连导体几何变动建模方法。该方法用尽可能少的随机变量刻画导体线高、线宽两方向的变动，克服了现有连续表面变动模型的缺点。基于埃尔米特多项式配置法和 FASTCAP 边界元电容求解器，本文还介绍了导体变动表面生成算法。数值实验验证了本文建模方法的合理性，也说明了不连续几何变动模型会造成结果电容变动标准差 20% 以上的误差。

2. 本文在连续表面变动模型的基础上通过划分窗口的方法研究了全路径电容提取问题。对于窗口内电容提取，本文提出加权主元分析技术对随机变量进行消减，从而减少独立变量数目。将该技术应用于统计电容提取，使得基于埃尔米特多项式配置法的提取计算时间大大缩短。在此基础上，我们还提出并行计算技术，进一步减少了统计寄生参数提取的运行时间。数值实验表明，相对于普通的主元分析，加权主元分析能在同等精度情况下提高寄生参数提取速度几倍至几十倍，而在含 8 个 CPU 计算机上的并行计算也取得了 6 倍以上的加速比。对于全路径电容提取，本文利用伪逆技术推导了窗口间电容协方差计算公式，并总结了全路径电容提取算法流程。

**关键词：** 集成电路 考虑工艺变动的寄生参数提取 几何建模  
加权主元分析 并行计算 芯片级提取

## Abstract

With the expansion of IC integration level and shrinkage of feature size, IC process becomes more and more complex and difficult to control accurately. To verify IC performance and guarantee yield, accurate and efficient estimation of the impact of process variation to ICs is necessary. As semiconductor technology scales down to nanometer scale, parasitic effects of interconnects is playing a dominant role on the circuit performance. This paper studies the interconnect capacitance extraction under process variation, and makes the following two main contributions:

1. For the statistical capacitance extraction considering random variations, we propose a geometric modeling approach for the on-chip interconnects. This approach considers the random variations in both height and width directions, and produces continuous surfaces of conductor. We also present the geometric generation algorithm for the Hermite polynomial collocation (HPC) based statistical extraction. Numerical experiments with Monte Carlo simulations validate the accuracy of the proposed geometric variation model, which also reveals about 20% Std error of statistical capacitance obtained on the non-continuous surface model.

2. This paper studies all-path capacitance extraction based on continuous surface model by window technology. For intra-window capacitance extraction, the technique of weighted principal factor analysis (wPFA) is proposed to reduce the number of random variables. This technique is applied to the capacitance extraction based on the Hermite polynomial collocation method, and greatly reduces the computational time. The parallel computing technique is also applied, and further reduces the computational time. Numerical results show that, the wPFA is able to accelerate the statistical extraction using a normal principal factor analysis by several or several tens times. And, the parallel computing experiment on a machine with 8 CPU achieves a speedup above 6. For all-path capacitance extraction, this paper

calculates the inter-window capacitance covariance through matrix pseudo inverse, and concludes the algorithms of all-path capacitance extraction.

**Keywords:** IC Variation-aware parasitic extraction    Geometric modeling  
Weighted principal factor analysis    Parallel computation  
Chip-level extraction

## 目 录

第 1 章	引言 .....	1
1.1	集成电路发展与互连寄生电容提取 .....	1
1.1.1	集成电路的发展 .....	1
1.1.2	集成电路设计与互连电容提取 .....	2
1.2	工艺变动给集成电路设计带来新的挑战 .....	4
1.2.1	工艺变动的主要来源 .....	4
1.2.2	考虑工艺变动的集成电路设计 .....	7
1.3	论文的贡献与组织 .....	9
第 2 章	互连寄生电容提取的主要方法 .....	11
2.1	三维寄生电容提取的主要方法 .....	11
2.1.1	寄生电容提取原理 .....	11
2.1.2	间接边界元法寄生电容提取 .....	13
2.2	考虑工艺变动的寄生电容提取 .....	13
2.2.1	系统性模型 .....	14
2.2.2	增量式模型 .....	14
2.2.3	随机式模型 .....	15
第 3 章	互连几何变动的连续表面建模 .....	17
3.1	连续表面模型 .....	17
3.2	改进的连续表面几何建模 .....	19
3.2.1	改进的三维导体连续表面变动模型 .....	20
3.2.2	导体表面生成算法 .....	23
3.3	数值实验结果及分析 .....	24
3.3.1	简单模型实验结果 .....	25
3.3.2	改进模型实验结果 .....	26
第 4 章	基于连续表面变动模型的芯片级互连电容提取 .....	27
4.1	窗口内电容提取 .....	27
4.1.1	埃尔米特多项式配置法 .....	27

## 目 录

---

4.1.2	加权主元分析技术及其应用 .....	29
4.1.3	算法的并行实现 .....	31
4.2	全路径电容提取 .....	32
4.2.1	窗口间电容协方差计算 .....	32
4.2.2	全路径电容提取 .....	34
4.3	实验结果及分析 .....	34
4.3.1	小规模电容提取实验 .....	35
4.3.2	平行总线阻抗提取实验 .....	38
4.3.3	全路径电容提取实验 .....	41
第 5 章	总结与展望 .....	43
5.1	总结 .....	43
5.2	展望 .....	43
参考文献	.....	45
致 谢	.....	49
声 明	.....	49
个人简历、在学期间发表的学术论文与研究成果	.....	50



## 第 1 章 引言

### 1.1 集成电路发展与互连寄生电容提取

#### 1.1.1 集成电路的发展

1958 年美国德克萨斯仪器公司发明全球第一块集成电路后，随着硅平面技术的发展，20 世纪 60 年代先后发明双极型和 MOS 型两种重要电路，创造了一个前所未有的具有极强渗透力和旺盛生命力的新兴产业——集成电路（Integrated Circuits, IC）产业。集成电路 / 微电子技术作为信息产业的基石，对人们日常生活和社会发展具有广泛而深远的影响。例如信息产品市场的需求，尤其是通信、计算机与互联网、电子商务、数字视听等电子产品，都需要集成电路的支持。2005 年世界集成电路市场规模为 2357 亿美元，至 2010 年间平均每年增长不低于 10%，总规模达到 4247 亿美元。伴随着集成电路产业规模的扩张，其制造技术也从二十世纪六十年代以来一直遵从摩尔定律高速发展，目前已经进入超大规模（VLSI）和特大规模（ULSI）阶段。根据 2007 年国际半导体技术蓝图报告<sup>[1]</sup>（International Technology Roadmap for Semiconductor, ITRS 2007）指出，集成电路仍将保持特征尺寸每 3 年下降 30% 的速度发展。ITRS 2007 中给出的部分 7 年预测数据如表 1.1 所示。

从表 1.1 中可以看出，目前集成电路工艺特征尺寸已经进入纳米级，高性能微处理器可含几十亿个晶体管。设计如此规模巨大的集成电路，显然需要依靠计算机辅助设计（computer-aided design, CAD）方法，或称电子设计自动化（electronic design automation, EDA）技术。

表 1.1 2007 年国际半导体技术蓝图报告中的预测数据<sup>[1]</sup>

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM $\frac{1}{2}$ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) $\frac{1}{2}$ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Logic (Low-volume Microprocessor) High-performance ‡									
Generation at Introduction	p10h	p10h	p13h	p13h	p13h	p16h	p16h	p16h	p19h
Functions per chip at introduction (million transistors)	2212	2212	4424	4424	4424	8848	8848	8848	17696
Chip size at introduction (mm <sup>2</sup> )	620	492	391	620	492	391	620	492	391
Generation at production **	p07h	p07h	p07h	p10h	p10h	p10h	p13h	p13h	p13h
Functions per chip at production (million transistors)	1106	1106	1106	2212	2212	2212	4424	4424	4424
Chip size at production (mm <sup>2</sup> ) §§	310	246	195	310	246	195	310	246	195
High-performance MPU Mtransistors/cm <sup>2</sup> at introduction and production (including on-chip SRAM) ‡	357	449	566	714	899	1133	1427	1798	2265
ASIC									
ASIC usable Mtransistors/cm <sup>2</sup> (auto layout)	357	449	566	714	899	1133	1427	1798	2265
ASIC max chip size at production (mm <sup>2</sup> ) (maximum lithographic field size)	858	858	858	858	858	858	858	858	858
ASIC maximum functions per chip at production (Mtransistors/chip) (fit in maximum lithographic field size)	3,061	3,857	4,859	6,122	7,713	9,718	12,244	15,427	19,436

### 1.1.2 集成电路设计与互连电容提取

EDA 工具是当前 VLSI 集成电路设计的主要手段，其对保证集成电路性能、提高成品率、缩短设计周期等有着重要的影响。一个典型的集成电路设计流程如图 1.1 所示，其中各个环节都需要计算机辅助设计方法的支持。前端设计通过功能描述得到寄存器/传输级描述，再逻辑综合得到门级网表。后端设计则根据门级网表通过布局规划、布局、布线最终得到物理版图。然而受互连线、晶体管的电磁寄生效应的影响，一次设计的集成电路往往达不到预期的性能要求。因此，如图 1.1 所示，集成电路设计是一个迭代的设计过程。在版图生成之后，还需要对电路进行门级模拟，以验证其是否达到设计要求。如果没有达到设计要求，则需要修改门级网表，重新布局、布线生成版图。寄生参数提取就是利用已生成的版图上的信息，提取出电路的电容、电阻、电感等寄生参数，为后续的电路上仿真提供数据。

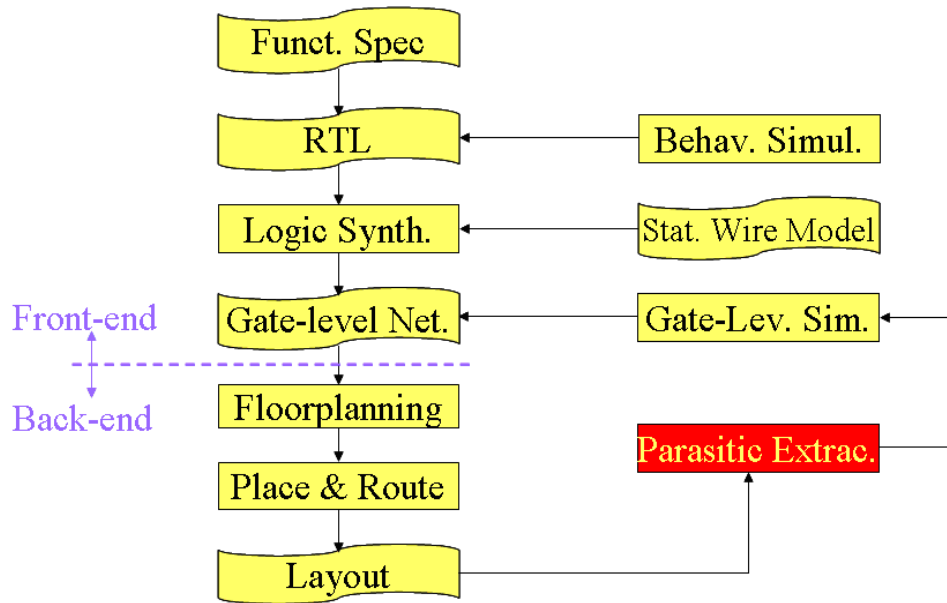


图 1.1 集成电路设计流程

在寄生参数提取中，寄生电阻主要产生于几何形状比较规则的互连线内部，因此其处理比较简单。寄生电感的影响在电路频率达到数 G 赫兹及以上时变得较为显著，但针对其有效的建模、计算方法仍需长期研究。寄生电容对电路的时延、功耗、及信号的传输可靠性均有显著的影响，其提取算法一直以来均是国内外研究的重点。

寄生电容提取主要包括对器件和互连线两方面的提取。随着特征尺寸的缩小，互连线对集成电路的影响已经超过了器件，并占据主要地位。图 1.2 显示了随着特征尺寸变化的电路延时构成。从图中可以看出，互连延时在工艺步入 150nm 后已经成为电路延时的主要影响因素。因此，研究互连电容提取对提高集成电路仿真精度，从而保证产品性能、提高成品率有着不可忽视的作用。

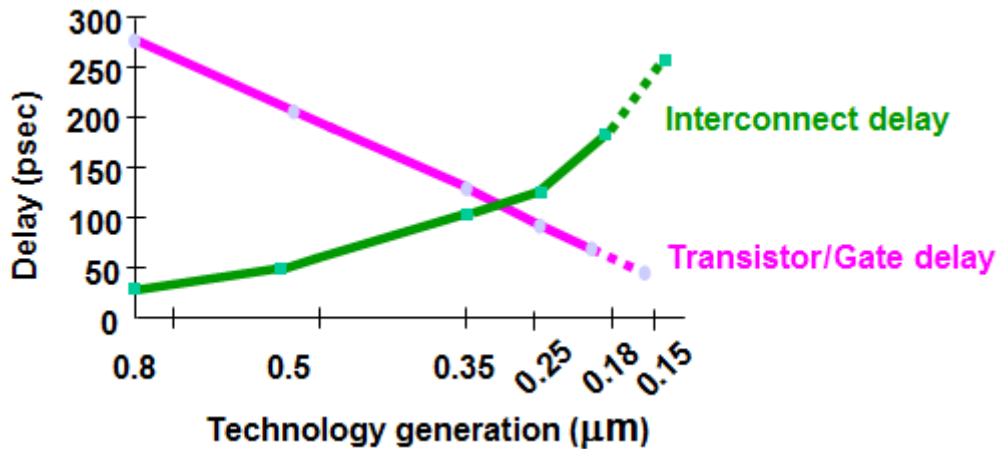


图 1.2 延时与特征尺寸

## 1.2 工艺变动给集成电路设计带来新的挑战

工艺变动是指集成电路设计版图与实际制造出的真实电路之间的差异。随着集成电路规模的扩大以及特征尺寸的缩小，其制造工艺日趋复杂且难以控制，由此带来的工艺变动问题对集成电路性能的影响越来越大，受到整个 EDA 领域的高度重视。

### 1.2.1 工艺变动的主要来源

按照工艺变动来源的不同，工艺变动可分为前端变动和后端变动<sup>[2]</sup>。前端变动主要指集成电路的器件级变动，如晶体管长度、宽度和氧化层厚度变动，以及与掺杂质相关的变动等，其影响主要体现在器件特征参数上，如漏极电流、电压阈值等。后端变动主要指互连线级变动，包括互连线的宽度、厚度和电介质厚度等变动，其主要影响电路的互连寄生参数变化，如电容、电阻、电感等。

前端变动主要包括多晶硅临界尺寸变动、多晶硅边缘粗糙效应、杂质浓度变动等。多晶硅临界尺寸变动的主要工艺变动源为光刻工艺中光波的衍射效应以及模版的微小错误等多种因素，其产生的效应如图 1.3 所示。多晶硅临界尺寸变动对晶体管的漏极电流有较大影响。多晶硅边缘粗糙效应主要由集成电路生产过程中衬底上附着的光刻胶产生的。在纳米级工艺

下，晶体管特征尺寸与表面粗糙度数量级接近，这种粗糙边缘效应已成为影响集成电路中晶体管门长度的重要因素。杂质浓度变动的一个重要工艺变动源来自掺杂工艺。这种变动是一种非常典型的随机变动，因为在当前的集成电路工艺中，一个晶体管的通道大约只存在 500 个杂质的原子，而在如此小的尺度下，杂质原子的数量很难得到准确控制。杂质浓度变动会导致晶体管的阈值电压变动。

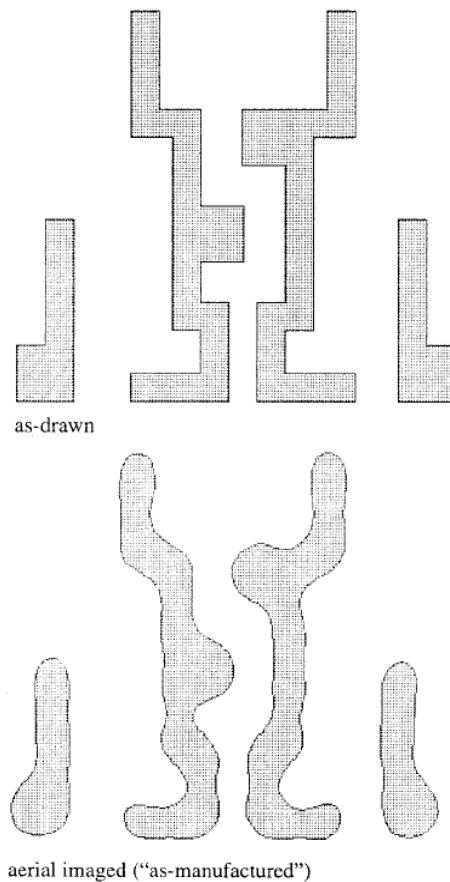


图 1.3 设计与实际版图对比<sup>[3]</sup>

后端变动主要包括互连线的宽度、厚度变动，以及层间电介质厚度变动等，是电路寄生参数变动的根源。后端变动的主要工艺变动源包括化学机械抛光工艺（chemical-mechanical polishing, CMP）和刻蚀工艺(etching process)。CMP 过程如图 1.4 所示，将晶片放置于平台上，喷洒化学试剂的同时进行机械打磨。这一过程对互连金属线的高度以及层间电介质厚度

都会产生较大影响。此外，刻蚀工艺对互连金属线宽度以及线间距的变动有较大影响。

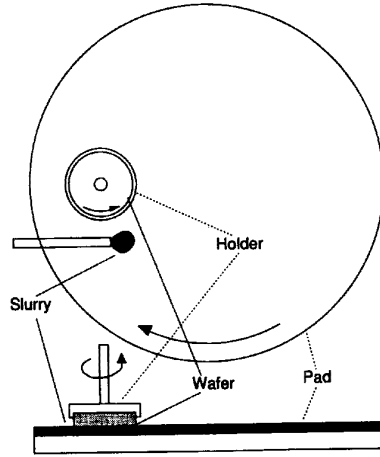


图 1.4 CMP 过程示例

在集成电路的实际制造过程中，由于互连线线宽、线高等随工艺变化的不规则性，互连线表面也不可能是完全平整的，甚至可能会变得非常粗糙。且随着特征尺寸的缩小，互连线的表面粗糙度数量级接近或达到线宽、线高的数量级时，其对互连寄生参数的影响将会愈加明显。实验表明，由于表面粗糙化导致的表面积增加，互连电容有显著的增长<sup>[4]</sup>。因此，粗糙表面效应（如图 1.5 所示）也在近年得到研究界的重视。

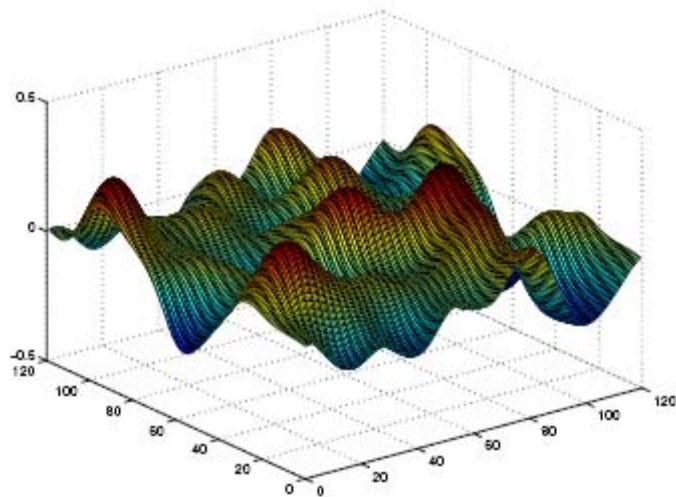


图 1.5 粗糙表面效应<sup>[4]</sup>

### 1.2.2 考虑工艺变动的集成电路设计

上节所述的工艺变动来源仅仅是实际工艺中的一小部分。在实际的集成电路工艺中，一块芯片的生产往往涉及成百上千个步骤，其中每个步骤都可能带来一个或多个工艺变动，这使得完全把握工艺变动的来源变得十分困难甚至不可能。在实际的研究和设计中，根据工艺变动的特点，往往将某种工艺变动归为某一类别或多种类别的组合进行计算，而不同类别根据其特点采用各不相同的计算方法。一种典型的分类方法是将工艺变动分为系统性变动 (Systematic Variations) 和随机性变动 (Random Variations)。

系统性变动是一种确定性的变动，它能够归结为一个或多个具体的变动来源，并根据变动源的特征在集成电路设计时做出相应的调整。如对于上述由光刻工艺引起多晶硅临界尺寸变动效应，可利用光学邻近矫正 (optical proximity correction, 简称 OPC) 进行电路版图的预矫正以消减该效应的影响<sup>[5]</sup>。如图 1.6 所示，根据光波衍射规律等，通过设计一个“不规则”的版图，以制造出形状规则的晶体管器件。

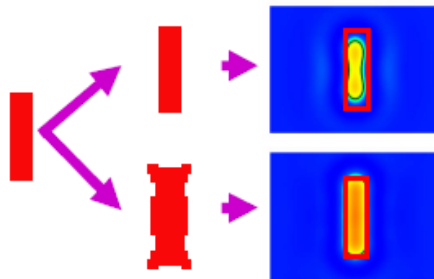


图 1.6 OPC 过程示例

化学机械抛光效应所导致的互连线线高及层间介质厚度变动也可以视为一种系统性变动。该效应的显著与否受金属连线宽度、布线密度以及互连线所在层位置的影响非常大<sup>[6]</sup>。如图 1.7a 所示，互连线线高在线宽、布线密度较小时，CMP 效应更明显；图 1.7b 表示了在线宽、布线密度较密时，CMP 效应使得层间介质厚度更厚。

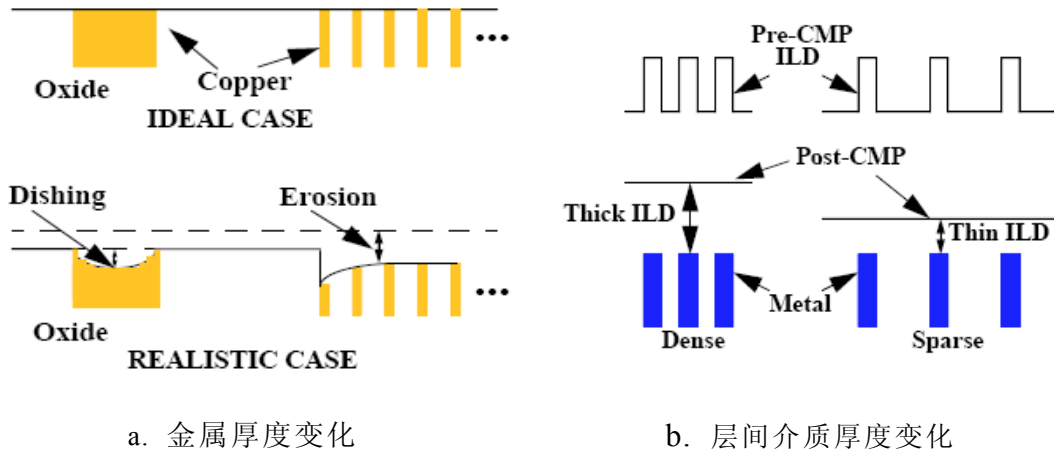


图 1.7 化学机械抛光效应<sup>[6]</sup>

此外，刻蚀工艺所引起的互连线线宽变动也可以认为是一种系统性变动<sup>[7]</sup>。如图 1.8 所示，刻蚀工艺后，互连线顶部往往比底部更宽，出现近似梯形的截面。

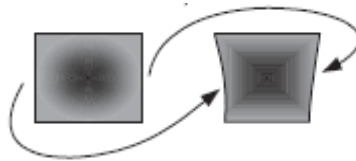


图 2.7 金属宽度变化<sup>[7]</sup>

随机性变动一般用于描述尚未完全了解或不可控制的工艺变动，它采用随机变量的形式描述各种变动，并使用统计方法建立模型。如前述的掺杂工艺引起的杂质浓度变化，由于工艺过程难以控制，往往被描述为随机变动。此外，随着特征尺寸缩小而日趋显著的互连线粗糙表面效应一般也通过随机性变动来刻画。

随机性变动或系统性变动的分类并不是一成不变的：当工艺过程得到更为确切的认识后，原本被认为是随机变动的问题往往能够用更为精确的系统性变动公式来解决；同时，一些变动虽然和工艺特征密切相关，但刻画工艺对实际电路参数的影响过于复杂，也常使用随机性变动来描述。如芯片内部具有空间相关性的变动就是一种用随机方式描述系统性变化产生的结果<sup>[8]</sup>。随着工艺的进一步复杂化，工艺的复杂性越来越难以控制，



在特征尺寸小于 65nm 情况下，随机变动有可能成为变动的主要来源<sup>[2]</sup>。

### 1.3 论文的贡献与组织

当今集成电路工艺已进入纳米级时代，考虑工艺变动的互连电容提取在 IC 设计中的地位越来越显著，怎样提高提取精度和计算效率一直是学术界研究的热点。本文进行了相关的研究工作，论文的主要研究内容及成果如下：

1. 改进了互连线连续表面变动建模方法。针对随机工艺变动引起的统计电容提取问题，本文提出一种改进的互连导体几何变动建模方法。该方法用尽可能少的随机变量刻画导体线高、线宽两方向的变动，克服了现有连续表面变动模型的缺点。基于埃尔米特多项式配置法和 FASTCAP 边界元电容求解器，本文还介绍了导体变动表面生成算法。数值实验验证了本文建模方法的合理性，也说明了不连续几何变动模型会造成结果电容变动标准差 20%以上的误差。

2. 基于连续表面变动模型的芯片级电容提取。本文通过划分窗口的方法研究了芯片级电容提取。对于窗口内电容提取，本文提出加权主元分析技术对随机变量进行消减，以减少独立变量数目。该技术使得基于埃尔米特多项式配置法的统计电容提取计算时间大大缩短。在此基础上，我们还提出并行计算技术，进一步减少了统计寄生参数提取的运行时间。数值实验表明，相对于普通的主元分析，加权主元分析能在同等精度情况下提高寄生参数提取速度几倍至几十倍，而在含 8 个 CPU 计算机上的并行计算也取得了 6 倍以上的加速比。对于芯片级互连总电容，本文提出通过伪逆技术计算窗口间电容协方差。数值实验表明，在保证精度的前提下，该方法相对于含 10000 个采样点的蒙特卡洛有超过 50 倍的加速比。

在进行算法研究和开发工作的同时，作者作为第二作者（第一作者为作者导师）发表了一篇国际学术会议论文，作为第一作者投稿了两篇国内学术会议和期刊论文。其中，关于互连线连续表面变动的初步模型以及芯片级电容提取的论文发表于 DAC'09；关于改进的连续表面变动模型及导体表面生成算法的论文投稿至全国第 16 届计算机辅助设计与图形学（CAD/CG'2010）学术会议（目前已有录用通知）；关于加权主元分析在

寄生参数提取中的应用以及寄生参数提取算法并行化的论文投稿至计算机辅助设计与图形学学报。

本文余下的内容包括：第 2 章是确定性导体结构的电容提取以及工艺变动下互连电容提取主要方法的综述；第 3 章详细介绍了互连导体连续表面变动的初步模型以及改进模型，并给出了结合 FASTCAP 边界元法电容求解器的导体表面生成算法；第 4 章针对基于连续表面变动模型的芯片级电容提取，分别介绍了加权主元分析在窗口内寄生参数提取中的应用以及寄生参数提取算法的并行化方法，再介绍了通过伪逆技术计算窗口间电容协方差，提取全路径电容。最后，在第 5 章给出总结与展望。

## 第2章 互连寄生电容提取的主要方法

在集成电路设计流程中，寄生参数提取利用已完成布局、布线的版图信息，为电路的模拟仿真提供数据，是保证集成电路成品率的一个重要环节。而随着半导体工艺的发展，特征尺寸持续缩小，互连寄生效应对电路延迟的影响已经超过器件，并占据主导地位。互连寄生电容作为寄生参数提取的重点、难点，一直是近年来国内外研究的热点。

### 2.1 三维寄生电容提取的主要方法

确定性导体结构的寄生电容提取方法大体可分为两类：解析模型法与数值模拟法。解析模型法以理论分析、实验测量或数值模拟的结果为基础，通过插值及曲线拟合等方法得到解析模型公式。它计算速度快，但精度较低，难以准确处理各种复杂三维结构。数值模拟方法通过求解静电场计算寄生电容，对能够真实反映实际互连结构的三维模型可以得到高精度的提取结果，已成为寄生电容提取研究的主要方向。

#### 2.1.1 寄生电容提取原理

对于一个包含  $N$  个导体的互连结构，电容矩阵  $C_{N \times N}$  与导体的电量  $Q$ 、电势  $U$  关系如下：

$$Q_i = \sum_{j=1}^N C_{ij} U_j, i=1, 2, \dots, N. \quad (2-1)$$

计算电容矩阵时，一般将某一导体设置为主导体  $j$ （偏压为 1V），其他导体为环境导体（偏压为 0V），计算出导体  $i$  的感应电荷  $Q_i$ ，其数值与  $C_{ij}$  相同。改变主导体，可得任意两导体之间的电容，即可得到整个电容矩阵。因此，求解寄生电容问题的关键是求解某种偏压下的静电场拉普拉斯方程：

$$\nabla^2 u = \frac{\partial^2 u}{\partial x^2} + \frac{\partial^2 u}{\partial y^2} + \frac{\partial^2 u}{\partial z^2}, \quad (2-2)$$

其中， $u$  为待解区域内电势。

用数值方法求解寄生电容提取问题是学术界重点研究方向，十余年来已产生了多种计算方法<sup>[9]</sup>。主要包括有限差分法（finite difference method, FDM）<sup>[10,11]</sup>、有限元法（finite element method, FEM）<sup>[12,13]</sup>、边界元法（boundary element method, BEM）<sup>[14-19]</sup>、随机漫步方法（random walk）<sup>[20,21]</sup>和半解析方法<sup>[22,23]</sup>。其中，有限差分法是一种经典和成熟的方法。Avant! 公司的互连分析软件 Raphael 正是基于 FDM，其计算结果十分稳定，稠密网格下 Raphael 的计算结果常被用作衡量电容提取算法准确性的比较标准，但其明显弱点是计算速度慢。有限元法也是一种性能稳定的电容提取方法，Ansoft 公司的 SpiceLink 则是基于该方法。但 FEM 如 FDM 一样，也需要离散整个三维区域，导致变量很多，计算速度受到很大限制。随机漫步方法是利用统计学原理的非确定性数值算法，已用于 Rand-Logic 公司的软件产品 QuickCap。该方法的核心，即蒙特卡洛分析，是最主要的统计分析方法之一。半解析方法首先要将求解区域进行分解，然后根据结构特点采用最有效的方法求解各子区域。由于某些几何结构规则的子区域可利用解析公式进行分析，此类方法有较快的速度。然而对目前日渐复杂的工艺特点，这种仅适合处理规则几何形体的方法较难适应考虑工艺变动的电容提取。

边界元法的研究和应用于 20 世纪 90 年代逐渐成熟，成为电容提取的主要方法。由于边界元法只在边界上离散，使得数值计算的维度降低一维，从而大大减少了问题的变量数。此外，边界元法能适应含复杂边界条件的拉普拉斯方程求解，且准确性高于有限元法<sup>[24]</sup>。边界元法又分为间接边界元法<sup>[15-17]</sup>和直接边界元法<sup>[18,19]</sup>。间接边界元法只对区域边界进行离散，因此变量较少，目前已成为快速三维寄生电容提取的主要方法之一，本文后续章节的实验部分所采用的三维场求解器 FastCap<sup>[15]</sup>正是基于间接边界元法开发的。间接边界元法的推导过程将在 2.1.2 节详细给出。直接边界元方法的基础是直接边界积分方程，它通过三维区域偏微分方程的变换而得到区域边界积分方程并求解。本课题组于 2000 年提出基于直接边界元法的虚拟多介质（quasi-multiple medium, QMM）加速算法<sup>[25]</sup>已成为较成熟的加速算法，并实现于 QBEM 软件中<sup>[26]</sup>。

### 2.2.2 间接边界元法寄生电容提取

间接边界元法又称等效电荷法，它以边界表面电荷密度  $\sigma(x)$  作为未知函数构造间接边界积分方程：

$$u(x) = \int_{\Gamma} G(x, x') \sigma(x') da', \quad (2-3)$$

其中， $u(x)$  表示电势， $G(x, x')$  是格林函数，对单介质问题，它采用自由空间格林函数：

$$G(x, x') = \frac{1}{\|x - x'\|}. \quad (2-4)$$

$\Gamma$  表示边界表面， $da'$  表示面积微元。由于导体设定了偏压，因此  $u(x)$  为已知量。将所有离散边界元代入式(2-3)，可得线性方程组：

$$Pq = u, \quad (2-5)$$

其中， $P$  为一稠密、非对称的系数矩阵， $q$  为待求电荷密度， $u$  为所有离散边界元的电势向量。此方程组可采用 GMRES<sup>[27]</sup> 等 Krylov 子空间迭代法求解。解出电荷密度  $\sigma(x')$  后，第  $i$  块导体上的电量  $Q_i$  为：

$$Q_i = \int_{S_i} \sigma(x') da', \quad (2-6)$$

其中， $S_i$  表示导体  $i$  的表面。此时，由式(2-1)知：

$$C_{ij} = Q_i / U_{ij}. \quad (2-7)$$

至此，可求得电容  $C_{ij}$ 。

对于多介质问题，需在介质界面引入极化电荷密度，使之等效为自由空间问题。同时须在介质界面上满足电位移连续方程：

$$\varepsilon_a \frac{\partial u_+(x)}{\partial n} = \varepsilon_b \frac{\partial u_-(x)}{\partial n}, x \in \text{介质 } a, b \text{ 的界面}, \quad (2-8)$$

其中， $\varepsilon_a$ 、 $\varepsilon_b$  表示介质  $a$ 、 $b$  的介电常数， $n$  表示介质界面的法向量。

## 2.2 考虑工艺变动的寄生电容提取

随着集成电路规模的扩大以及特征尺寸的缩小，集成电路工艺越来越

复杂且难以控制，由此带来的工艺变动对集成电路的影响也越来越不容忽视。考虑工艺变动的互连寄生电容提取能提高电路仿真的精确度，从而提高集成电路成品率有着深远影响。常见的工艺变动下电容提取方法包括系统性模型、增量式模型和随机式模型。

### 2.2.1 系统性模型

系统性模型针对系统性工艺变动，描述已知的工艺变动源对电路的影响。该模型根据预定义的经验公式，在版图布局、布线之后利用其几何信息对各项参数进行扰动，再对修改后的版图提取寄生参数。系统性模型的经验公式无疑对其准确度有非常大的影响，而这些经验公式一般均来自对工艺过程的掌握以及大量的实验，如文献[28]提出的层间介质厚度公式以及文献[29]提出的有效密度公式。

系统性模型只需对修改后的版图进行一次提取，因此提取速度快是该方法的一大优势。然而，它非常依赖实际工艺的经验公式，因此，对由工艺过程尚未被透彻理解或很难控制的随机性工艺变动，这种方法就难以适用了。在实际应用中，它也可以和其它描述随机性变动的方法结合使用，先对版图通过系统性模型进行扰动，再分析随机性变动带来的影响。

### 2.2.2 增量式模型

增量式模型是目前描述工艺变动应用最广泛的模型。该模型以原有的寄生参数提取为基础，增加新的工艺变动模块，同时保持原有的提取模块不受改变。这种模型一般将一些主要的可变工艺参数设为变量，提取时先得到未变动时的电学参数（电容、电阻等），然后通过建立增量与这些变量的对应关系来得到实际值的估计。

增量式模型较新的应用有电容的敏感度分析<sup>[30,31]</sup>。该方法基于静电场的特勒根定理，利用伴随场技术，以互连线宽、线高为自变量，求出电容变化量的一阶偏导数，称之为电容敏感度。再根据未变动的电容值，即可得到工艺变动下寄生电容的一阶表达式。

增量式模型可以较为灵活的处理系统性和随机性工艺变动，计算速度一般也较快。但是这类方法一般只能得到寄生参数的一阶变动模型，在计

算精确度要求较高的场合，该方法将难以适用。

### 2.2.3 随机式模型

对于如 1.2.1 节所提到的互连线粗糙表面效应的随机性工艺变动，随机式模型通过采用随机变量建模进行统计分析是一种比较好的选择。该模型可以作用于所有变动都是随机变动的情况，也可以在系统性模型计算之后使用。本文所研究的基于连续表面变动模型的电容提取正是一种随机式模型方法。

随机式模型的一种直接方法是蒙特卡罗 (Monte Carlo, MC) 方法，它首先随机生成大量的采样互连结构，对每个确定性的采样结构求出寄生参数，再对所有结果进行统计，得到工艺变动下寄生参数分布的估计。这种方法最大的缺陷就是计算量非常大，效率非常低。尽管快速蒙特卡罗方法<sup>[32]</sup>可以通过有效的采样点选择来提高计算效率，但是其仅能得到待求函数的均值与方差，不便于进行后续的精确定电路分析。基于三维边界元法电容求解器，文献<sup>[7]</sup>提出的一种电容提取“扰动法”能够得到电容变动的二阶统计模型。但由于该方法基于电容表达式的泰勒展开，因此仅能适用于工艺变动较小的情况。文献<sup>[33,34]</sup>提出了两种能够得到更为精确的电容变动二阶模型的方法。谱随机配置法 (SSCM)<sup>[33]</sup>基于电容表达式的埃尔米特 (Hermite) 多项式展开，利用稀疏网格求积法来得到电容展开式的系数。文献<sup>[34]</sup>引用了谱随机配置法来求解增广势系数矩阵。此方法具有很高的计算效率，但仅考虑了势系数的一阶变动。文献<sup>[35]</sup>在 SSCM 法的基础上，考虑了芯片级电容提取中窗口电容之间的相关性，得出了快速的全路径统计电容提取方法。文献<sup>[36]</sup>对<sup>[35]</sup>的工作进行了扩展，使之能够考虑连续表面的工艺变动模型；文献<sup>[37]</sup>对非高斯随机工艺变动进行了考虑，提出了有效的统计互连电容提取算法。

在各种统计电容提取方法中，文献<sup>[33, 35, 36]</sup>使用的方法可称为埃尔米特多项式配置 (Hermite polynomial collocation, HPC) 法<sup>[38]</sup>，它能准确、高效地提取二阶电容变动。该方法用二阶埃尔米特多项式来拟合电容的随机函数表达式，根据最佳平方逼近将多项式系数的计算转化为多重函数积分的计算，再利用稀疏网格法<sup>[41]</sup>进行数值积分，最终变为求解一系列积分

点（配置点）对应的确定性结构的电容提取问题。相比其他方法，基于 HPC 的方法在保证精度的同时具有较高的计算效率。本文的后续研究和实验正是基于 HPC 法完成的。



### 第3章 互连几何变动的连续表面建模

工艺变动对互连线的影响主要表现在互连线高度、宽度和层间介质厚度等几何参数的影响。因此，进行工艺变动下互连寄生电容提取首先要建立导体的几何变动模型，即设置一些几何参量为随机变量，并假设它们满足具有空间相关性的高斯分布，然后再采用数值方法求解电容值的统计分布。随着特征尺寸的缩小，互连线高、线宽等参数由工艺变动所致的变化越来越难以控制，各个互连导体表面粗糙程度越来越大。而在静电场中，导体电荷均分布于其表面，因此导体电容与其表面形状有很大关系。在当今集成电路工艺的纳米级时代，仅用互连线高、线宽等变量的变化已难以准确刻画工艺变动，因此，建立互连线连续表面变动模型变得十分有意义。

#### 3.1 连续表面模型

边界元法是求解确定性结构电容提取问题的主要方法<sup>[14-19]</sup>，它首先对导体表面或介质区域表面进行离散，然后求解边界积分方程得到特定导体偏压设置下的表面边界元电荷，对各导体求出的电荷总量即为需求解的电容值。基于边界元法，可以假设工艺变动为对导体表面边界元的随机扰动。文献[7, 33, 34]提出用矩形边界元离散导体表面，假设边界元扰动发生在导体的线高方向，扰动量垂直于导体表面且保持边界元形状不变（如图 3.1 所示），而扰动量服从高斯随机分布。用一组随机变量  $\zeta(\vec{r})$  表示边界元的扰动量，其中  $\vec{r}$  表示边界元所在位置， $\zeta(\vec{r})$  的概率密度函数为：

$$f(\zeta(\vec{r})) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{\zeta^2(\vec{r})}{2\sigma^2}\right), \quad (3-1)$$

其中， $\sigma$  为变动标准差。由于片上工艺变动都存在空间相关性<sup>[33-36, 39]</sup>，我们可以假设任意两个不同位置  $\vec{r}_1$  和  $\vec{r}_2$  处变动量的相关系数为：

$$\rho(\vec{r}_1, \vec{r}_2) = \exp\left(-\frac{|\vec{r}_1 - \vec{r}_2|^2}{\eta^2}\right), \quad (3-2)$$

其中  $\eta$  称为相关长度，它是表示空间相关性的重要特征量。较长相关长度表明空间距离较远的点也具有较大的关联性，而较短相关长度表明只有比较近的点相关性才较强。

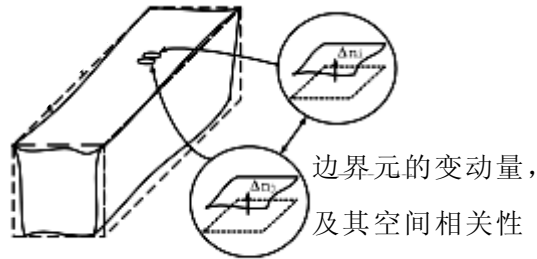


图 3.1 简化的随机变动几何模型

图 3.1 所示简化变动模型虽然便于处理，但形成的互连结构中导体表面不连续，完全不符合实际情况。图 3.2 显示了一个二维导体平面按此简化模型变动后的三维视图（包括了边界元划分情况），从中可明显看出表面不连续的情况。另外，[4, 39]等文献均指出互连工艺变动造成导体表面粗糙，表面积增大，从而将导致电容值增大。如果按图 3.1 所示的简化模型，导体表面积将不变化（参见图 3.2），按此几何形状进行电容提取很难准确反映变动电容的真实特征。

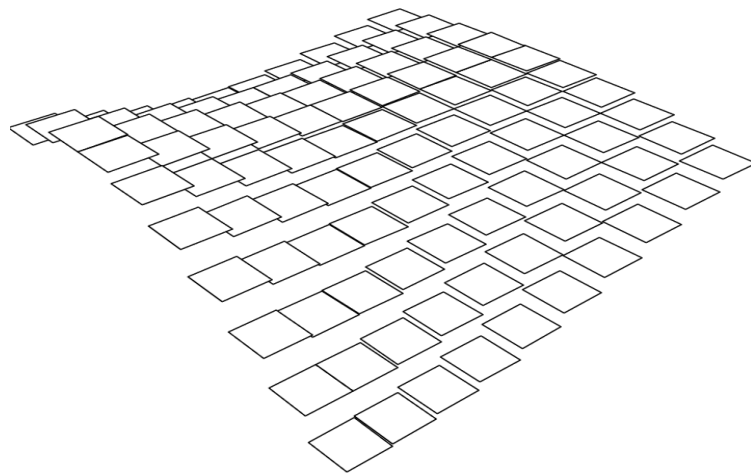


图 3.2 采用简化几何变动模型的二维导体平面

文献[36]提出一种连续表面建模方法，该方法将标称导体表面离散网格点的位置作为随机变量，而不是将整个边界元的位置作为随机变量。如图 3.3(a)所示，在每个离散网格点上设置一个随机变量，其值表示该点的法向偏离值。这些点也可看成是刻画表面工艺变动情况的采样点，根据给定的一组采样值可以描绘出发生变动后导体表面的形状。由于原有矩形边界元的四个点在变动后不一定共面，需采用三角形元构造变动后的表面。

按这种变动模型，得到的一个二维平面的变动形状如图 3.4 所示。显然，该方法克服了简化模型造成表面不连续的缺点，且基本上不增加随机变量数。对于实际的互连导体三维形状，工艺变动将造成线高、线宽两个方向的几何变动。为了保证导体顶面和侧面相交线位置的唯一性，文献[36]提出了给每个标称表面网格点设置两个随机变量的方法，如图 3.3(b)所示。图 3.3(b)中， $\zeta_z$ 、 $\zeta_y$  分别表示  $z$ 、 $y$  方向的扰动量，它们形成两组高斯随机变量，每组变量有各自的标准差和空间相关长度。

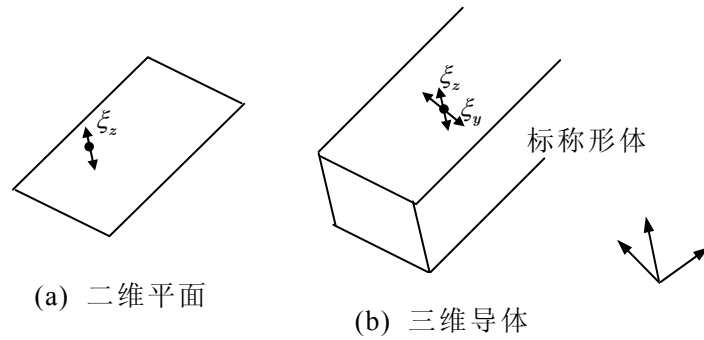


图 3.3 文献[36]提出的连续表面变动模型

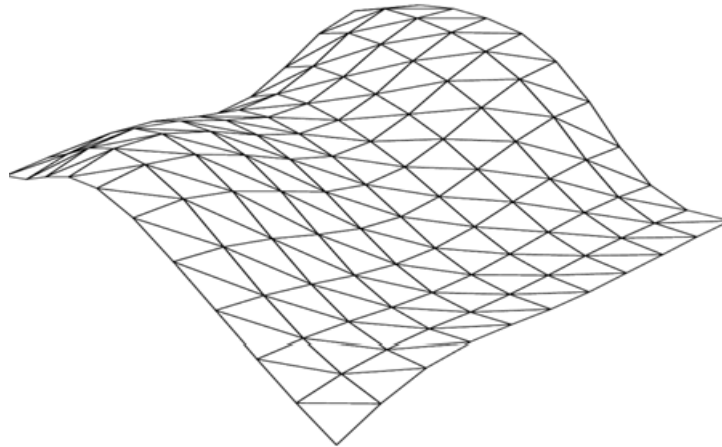


图 3.4 采用连续表面变动模型得到的一个二维平面

### 3.2 改进的连续表面几何建模

本节先分析文献[36]中几何变动模型的缺点，提出一种改进的连续表面变动模型，然后介绍导体变动表面生成方法。

## 3.2.1 改进的三维导体连续表面变动模型

在芯片制造工艺中，化学表面抛光及刻蚀工艺等都会对互连线线高、线宽偏离设计标称值，而且这种变动在一定程度上是随机的。随着特征尺寸不断缩小，这种随机变动的影响越来越大。本文延续文献[36]的思路，考虑实际三维导体在线高、线宽两个方向都存在随机变动。

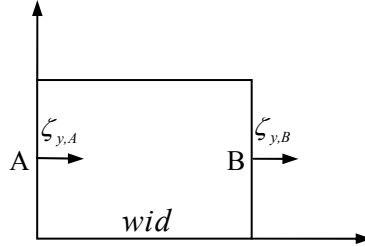


图 3.5 文献[36]的变动模型

文献[36]在每个网格点引入两个方向的变动： $\zeta_z$ 、 $\zeta_y$ ，这样其实造成了信息的冗余。以导体的上表面为例，考虑一种极端情况：各点  $\zeta_z=0$ ， $\zeta_y \neq 0$ ，此时不同的随机采样值对应的都是相同的一个平面。另一方面，由于所有点上沿同一方向的变动量形成一组随机变量，它们具有空间相关性，这将造成导体相对侧面上两个对应点总是朝一个方向变动，从而无法形成较大的导体宽度变化。例如，对图 3.5 所示的一个导体截面，考虑左右侧面上相对的 A、B 两点，假设它们的变动量  $\zeta_{y,A}$  和  $\zeta_{y,B}$  都满足标准差为  $\sigma_y$  的高斯分布，且  $y$  方向变动的相关长度为  $\eta_y$ ，则该处导体的线宽

$$\zeta_w = \zeta_{y,B} + wid - \zeta_{y,A}, \quad (3-3)$$

其中  $wid$  为标称导体的宽度。 $\zeta_w$  也服从高斯分布，其变动标准差为：

$$\begin{aligned} \text{std}(\zeta_w) &= \sqrt{E(\zeta_w^2) - E^2(\zeta_w)} \\ &= \sqrt{E(\zeta_{y,B}^2) + E(\zeta_{y,A}^2) - 2\text{cov}(\zeta_{y,B}, \zeta_{y,A})}, \quad (3-4) \\ &= \sqrt{2\sigma_y^2 - 2\sigma_y^2\rho(r_A, r_B)} \end{aligned}$$

代入公式(3-2)，得到

$$\begin{aligned} \text{std}(\zeta_w) &= \sqrt{2\sigma_y^2 - 2\sigma_y^2 \exp\left(\frac{-wid^2}{\eta_y^2}\right)} \\ &\approx \sigma_y \cdot \frac{1.41 \cdot wid}{\eta_y} \end{aligned} \quad (3-5)$$

最后一步近似是由于变动相关长度一般比线宽大好几倍，所以  $wid^2/\eta_y^2 \ll 1$ 。从公式(3-5)看出，线宽的变动标准差远远小于表面变动标准差。考虑 45 纳米及更先进的工艺下的一个合理的假设，即相关长度  $\eta_y$  为线宽  $wid$  的 8 倍，而线宽变动标准差为线宽的 10%，若按文献[36]的变动模型，根据(3-5)可算出  $\sigma_y$  的值为线宽的 57%。这对应一个表面起伏非常大的侧面形状，显然不符合实际。同样的分析也适合于线高，这说明了文献[36]的模型无法对三维导体两方向变动进行有效的描述。

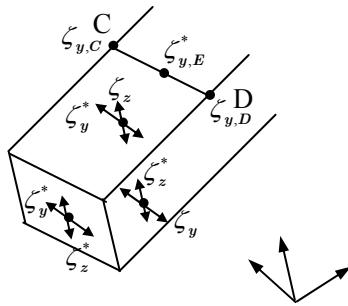


图 3.6 改进的三维导体几何变动模型

基于上述分析，我们将文献[36]的几何变动模型进行了改进。首先，为了防止信息冗余，我们对每个网格点仅设置一个独立随机变量，它代表垂直于网格点所在表面方向的变动。此时，由于导体棱上的点沿两个方向同时变动，而面内部点只沿一个方向变动，则可能会使得变动后棱上的点落入面的内部，造成形体的畸形。为避免这种情况，还需要在网格点上再设置一个非独立随机变量。图 3.6 显示了三维导体上的变量设置情况，其中  $\zeta_z$ 、 $\zeta_y$  表示独立随机变量，而  $\zeta_z^*$ 、 $\zeta_y^*$  表示非独立的随机变量，它们反映了另一方向的变动传递过来的效果。以图 3.6 为例，假设 CD 为顶面上平行于导线端面（yoz 平面）的一根线段，两 endpoints C、D 分别也在左右侧面上，它们的独立随机变量分别为  $\zeta_{y,C}$  和  $\zeta_{y,D}$ 。在 CD 连线上某一点 E 处于顶面上，除了具有独立随机变量  $\zeta_{z,E}$  外，还有一个描述 y 方向变动的变量  $\zeta_{y,E}^*$ ，它的值通过  $\zeta_{y,C}$  和  $\zeta_{y,D}$  的值插值得到：

$$\zeta_{y,E}^* = \zeta_{y,D} + (\zeta_{y,C} - \zeta_{y,D}) \frac{\left| \frac{r_E - r_D}{r_C - r_D} \right|}{\left| \frac{r_E - r_D}{r_C - r_D} \right|}, \quad (3-6)$$

这样，表面变动后各网格点的相对位置关系不变，形成正常的连续表面几何形体。另外应注意，采用这种模型后导体的端面网格点上也赋予了两个方向的变动量，它们通过类似(3-6)的公式根据上下左右四个面上相应的变动量计算得到。

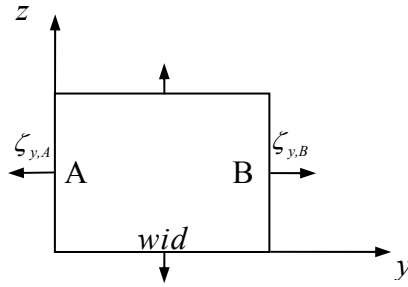


图 3.7 改进模型的变动方向设置

另一方面，相对导体面上变量的相关性也应做调整，我们假设几何变动变量  $\xi_{y,A}$ 、 $\xi_{y,B}$  互相独立。如图 7 所示。此时导体的线宽为：

$$\zeta_w = \zeta_{y,B} + wid + \zeta_{y,A}, \quad (3-7)$$

其变动标准差为：

$$\begin{aligned} \text{std}(\xi_w) &= \sqrt{\sigma_y^2 + \sigma_y^2} \\ &\approx 1.41\sigma_y \end{aligned} \quad (3-8)$$

类似于前面分析，假设相关长度  $\eta_y$  为线宽  $wid$  的 8 倍，而线宽变动标准差为线宽的 10%，则根据(3-8)可算出  $\sigma_y$  的值约为线宽的 7%。这对应一个比较符合实际的表面变动情形，说明了改进模型能很好地对线宽、线高的变动进行有效的描述。

采用改进的网格点变动设置，对每个变动面仍然使用三角元进行离散，图 3.8 显示了三根平行线结构变动后得到的形体。

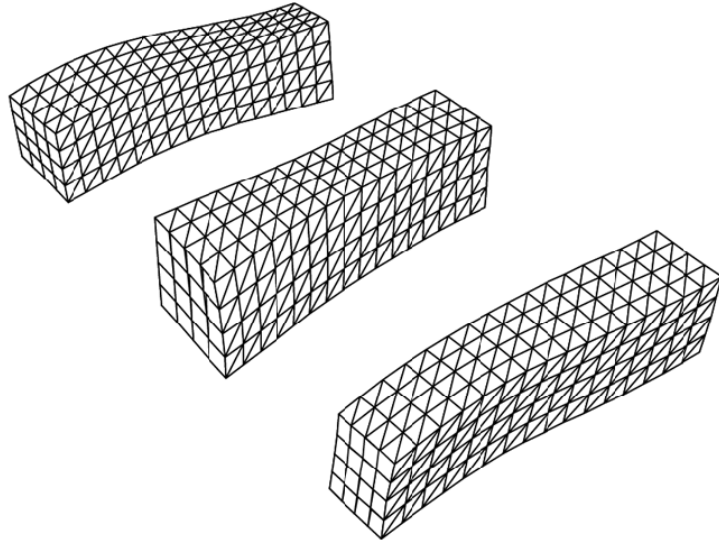


图 3.8 三根平行导体变动后的效果图

### 3.2.2 导体表面生成算法

对于确定的互连导体结构，我们采用 FastCap<sup>[15]</sup>来提取电容。FastCap 是一种利用边界元法求解导体电容的软件。其将导体表面离散为一系列边界元，根据边界元的坐标求出导体电容。FastCap 要求的输入格式为：

PanelFormat ConductorName  $x_1 y_1 z_1 x_2 y_2 z_2 \dots$

其中，PanelFormat 表示边界元格式，FastCap 中有 T 和 Q 两种，T 表示三角形元，Q 表示矩形元。ConductorName 表示导体名，可以用整数表示。

( $x_1 y_1 z_1 x_2 y_2 z_2 \dots$ ) 表示边界元顶点的直角坐标系坐标。如三角元含三个顶点，因此有三组坐标，而矩形元有四个顶点，则需输入四组坐标。

为满足 FastCap 的输入要求，在输入导体大小、位置等信息后，需先将导体离散化，并得到标称结构各变动点的坐标。由于采用三角元离散导体表面，因此变动点的坐标就是待输入 FastCap 的三角元顶点坐标。然后根据公式 (3-2) 求得各相关面的协方差矩阵  $\Delta n$ 。例如对于图 3.8 的三根平行导体，共有 4 组分别相关的导体面：顶面、底面、左侧面、右侧面，因此则需生成 4 个协方差矩阵。将各协方差矩阵表示为  $\Delta n = L * L^T$ 。这里，蒙特卡洛法可采用乔莱斯基分解完成；而埃尔米特多项式配置法（详见 4.1.1 节）由于需要变量消减，可采用主元分析（Principal Factor Analysis，

简称 PFA，详见 4.1.2 节）完成。再根据协方差矩阵的个数生成几组互相独立的正态分布随机数（蒙特卡洛法）或积分配置点（埃尔米特多项式配置法） $\xi$ ，得到几何变动量  $\zeta=L*\xi$ 。例如图 3.8 的结构，须生成 4 组独立随机数或积分配置点。根据公式（3-6）计算出各点的  $\zeta^*$ ，最后将各点的变动值加入标称结构的坐标中，得到 FastCap 的输入文件，生成导体表面。导体表面生成算法框图如图 3.9 所示。

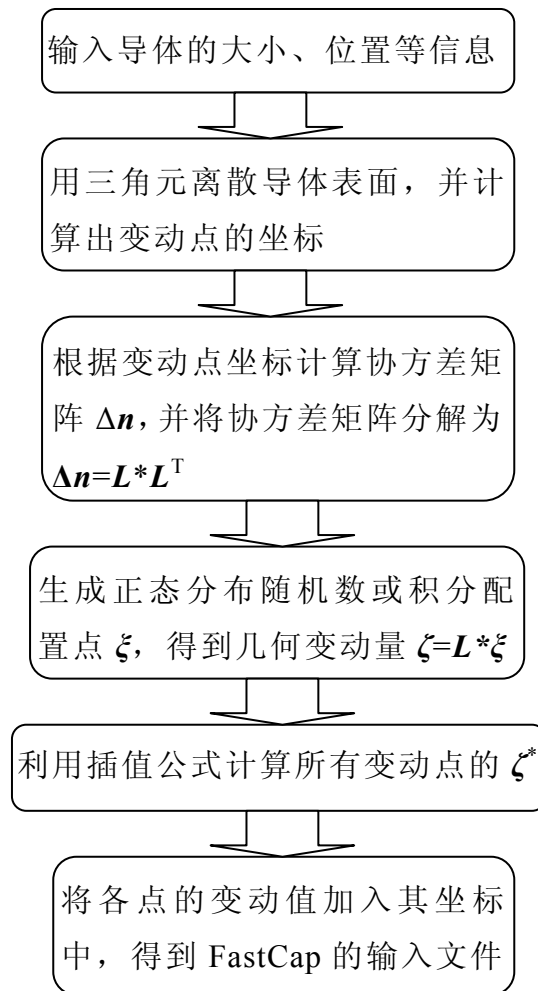


图 3.9 导体表面生成算法框图

### 3.3 数值实验结果及分析

本节通过数值实验结果先说明以前的简单连续表面模型相对于不连续表面的优势以及存在的问题，再验证本文提出的改进的连续表面模型的



合理性。

### 3.3.1 简单模型实验结果

本节比较不连续表面模型<sup>[7, 33, 34]</sup>与连续表面简单模型<sup>[36]</sup>的实验结果。实验采用含 10000 个采样结构的蒙特卡洛法统计电容结果。

首先我们对  $1\mu\text{m}\times 1\mu\text{m}$  单板做提取实验。最密集的离散方式包含 800 个边界元，我们将其结果视为比较误差的标准值。设定变动标准差为  $0.2\mu\text{m}$ ，相关长度为  $1\mu\text{m}$ ，两种模型的提取结果见表 3.1。

表 3.1 单板电容提取结果

	连续表面模型			不连续表面模型	
	800	242	392	256	400
边界元个数	800	242	392	256	400
均值 ( $10^{-18}\text{F}$ )	41.656	41.235	41.427	41.224	41.411
标准差( $10^{-18}\text{F}$ )	0.854	0.840	0.854	0.788	0.793
均值误差	--	-1.0%	-0.5%	-1.0%	-0.6%
标准差误差	--	-1.6%	0.0%	<b>-7.7%</b>	<b>-7.1%</b>

从表 3.1 可以看出，连续表面模型在边界元个数为 242 时误差已收敛至 1%左右。而在边界元个数接近时，不连续表面模型的电容标准差误差接近 8%。随着离散程度更加密集，不连续表面模型仍然保持较大误差。

第二个提取结构为两根平行导体。导体的长、宽、高分别为  $4\mu\text{m}$ 、 $1\mu\text{m}$ 、 $1\mu\text{m}$ ，导体间距为  $2\mu\text{m}$ 。设高度、宽度方向的变动标准差以及相关长度分别相等，为  $0.2\mu\text{m}$  和  $8\mu\text{m}$ 。两模型对不同边界元离散程度的提取结果见表 3.2，其中以含 4096 个边界元的结果为比较误差的标准值。

表 3.2 两平行导体电容提取结果-1

		连续表面简单模型			不连续表面模型	
		4096	640	1536	640	1568
$C_{11}$ 误差	均值	--	-1.5%	-0.6%	-1.1%	-0.4%
	标准差	--	0.3%	1.4%	<b>-6.7%</b>	<b>-5.0%</b>
$C_{12}$ 误差	均值	--	2.2%	0.8%	1.7%	0.6%
	标准差	--	-1.2%	1.0%	-1.1%	-0.5%

在表 3.2 中， $C_{11}$ 、 $C_{12}$  分别表示以第一个导体为主导体时第一个导体的自电容和第二个导体的耦合电容。从该表中可以看出，不连续表面模型

造成的自电容标准差相对于连续表面简单模型的误差仍然较大。

### 3.3.2 改进模型实验结果

本实验比较了改进的连续表面模型与不连续表面模型的实验结果。实验仍采用 3.3.1 节两根平行导体实验参数，以含 1536 个边界元的结果作为误差比较的标准值，提取结果见表 3.3。

表 3.3 两平行导体电容提取结果-2

边界元个数		连续表面改进模型			不连续模型
		1536	256	512	512
$C_{11}$ 误差	均值	--	2.6%	1.0%	0.4%
	标准差	--	1.4%	1.3%	<b>24.1%</b>
$C_{12}$ 误差	均值	--	3.8%	1.5%	0.6%
	标准差	--	2.5%	1.7%	<b>23.8%</b>

从以上实验结果可以看出，不连续表面模型在计算电容标准差时产生了超过 20% 的误差，大大低估了电容变动。另外，与连续表面简单模型的实验结果相比，改进的模型更突显了简单模型的缺点，也说明了采用连续表面模型提高建模仿真精度是非常必要的。

## 第4章 基于连续表面变动模型的芯片级互连电容提取

对于芯片级互连电容提取，由于问题规模的限制，需要利用划分“窗口”<sup>[40]</sup>的技术分段求解电容。例如对于一个全路径电容求解的问题，可将关键线网划分为许多窗口，分别提取每个窗口内较小规模导体结构的电容，再通过合并各窗口内计算结果得到整个线网的电容。文献[40]给出了几种不同的窗口划分方法，在本文中，为了叙述的简便，我们选择一种基本的窗口划分方法：所有窗口间不相交且相邻窗口间无间隙，整个线网的电容即为所有窗口内电容之和。

### 4.1 窗口内电容提取

#### 4.1.1 埃尔米特多项式配置法

本文采用埃尔米特多项式配置法（HPC）<sup>[38]</sup>提取基于连续表面变动模型的窗口内互连导体电容，其推导过程如下。

设  $C(\xi)$  是待求的随机函数， $\xi$  为一组互相独立的高斯分布随机变量，则  $C(\xi)$  可以由埃尔米特多项式展开表示：

$$C(\xi) = \sum_{i=1}^{\infty} c_i \Psi_i(\xi), \quad (4-1)$$

埃尔米特多项式之间满足如下的正交性：

$$\langle \Psi_i(\xi), \Psi_l(\xi) \rangle_{\rho} = \alpha_i \delta_{il}, \quad (4-2)$$

即仅当  $i=l$  时为一个正数  $\alpha_i$ ，其它时候为 0。这里函数内积的定义为随机函数乘积的数学期望：

$$\langle X, Y \rangle_{\rho} = E(XY), \quad (4-3)$$

如果仅截取式(4-1)的前  $K$  项，根据最佳平方逼近，当满足下式时截断误差最小：

$$\begin{aligned} \langle C(\xi), \Psi_l(\xi) \rangle_\rho &= \left\langle \sum_{i=1}^K c_i \Psi_i(\xi), \Psi_l(\xi) \right\rangle_\rho, \\ &= \sum_{i=1}^K c_i \langle \Psi_i(\xi), \Psi_l(\xi) \rangle_\rho, \quad l=1, 2, \dots, K \end{aligned} \quad (4-4)$$

根据埃尔米特多项式的正交性，式(4-2)右端仅当  $i=l$  时不为 0，故系数  $c_i$  可以进一步表示为下式：

$$c_i = \frac{\langle C(\xi), \Psi_i(\xi) \rangle_\rho}{\langle \Psi_i(\xi), \Psi_i(\xi) \rangle_\rho} = \frac{1}{\alpha_i} \langle C(\xi), \Psi_i(\xi) \rangle_\rho, \quad (4-5)$$

式(4-5)是一个  $d$  维的积分，其中  $d$  是独立随机变量数目。采用高斯-埃尔米特求积公式结合稀疏网格法<sup>[41]</sup>，该积分被转换为在积分点（配置点）上函数值的加权和：

$$c_i = \frac{1}{\alpha_i} \sum_{k=1}^P w_k C(\xi^k) \Psi_i(\xi^k), \quad (4-6)$$

其中， $P$  为总积分点数。公式(4-6)中每一个  $C(\xi^k)$  的计算都是确定性的问题，可以使用不考虑工艺变动的求解方法得到。将求得的各个  $c_i$  带入(4-1)式，则可得随机函数的近似表达式。

由电容表达式可以计算出电容的均值和方差分别如下：

$$E(C(\xi)) = E\left(\sum_{i=1}^K c_i \Psi_i(\xi)\right) = c_1, \quad (4-7)$$

$$D(C(\xi)) = D\left(\sum_{i=1}^K c_i \Psi_i(\xi)\right) = \sum_{i=2}^K c_i^2 \langle \Psi_i(\xi), \Psi_i(\xi) \rangle. \quad (4-8)$$

与文献[7, 33, 35-37]保持一致，我们在对(4-1)式进行截断时仅保留次数不超过 2 的埃尔米特多项式，因此得到寄生参数的二阶随机表达式。由于 2 阶稀疏网格可以满足 2 阶高斯-埃尔米特求积公式的精度要求<sup>[35, 37, 41]</sup>，进行二阶统计寄生参数提取时的配置点个数为  $O(d^2)$ ， $d$  为  $\xi$  的维数。由于配置点的个数就是调用确定性方法求解  $C(\xi^k)$  的次数，因此 HPC 法计算效率的主要由配置点的多少决定，直接依赖于独立随机变量数  $d$ 。采用变量消减可以有效地减小变量数  $d$ ，从而提高 HPC 法进行统计分析的效率。此外，上述推导过程还说明 HPC 法将随机函数建模问题转化为一系列带确定性参数的确定性问题，因此既适合于统计电容提取，也适合于其它随机

函数的求解。相比蒙特卡洛法、快速蒙特卡洛法<sup>[32]</sup>、扰动法<sup>[7]</sup>等其它方法，HPC 法在保证精度的同时具有较高的计算效率。

#### 4.1.2 加权主元分析技术及其应用

HPC 方法要求输入变量为一组互相独立的随机变量。主元分析 (principal factor analysis, PFA) 可以在消除一组相关随机变量的相关性同时，对随机变量数目进行消减。由于随机几何变动变量均取为高斯分布随机变量，因此，去除变量相关性就得到一组互相独立的随机变量。PFA 的具体过程如下。

对于一组空间相关的随机变量  $\zeta$ ，记其协方差矩阵为  $\Delta n(\zeta)$  (为对称半正定矩阵)，对  $\Delta n(\zeta)$  做特征值分解，

$$\Delta n(\zeta) = \mathbf{E} \mathbf{A} \mathbf{E}^T, \quad (4-9)$$

其中  $\mathbf{A}$  是对角阵，对角线元素按从大到小排列，矩阵  $\mathbf{E}$  包含了相应的特征向量。若仅取  $\mathbf{A}$  中前  $t$  个特征值，并记

$$\mathbf{U} = \mathbf{E}^* \mathbf{A}^*, \quad (4-10)$$

其中， $\mathbf{E}^*$  表示  $\mathbf{E}$  的前  $t$  列， $\mathbf{A}^*$  表示  $\mathbf{A}$  对角线上前  $t$  个元素分别取平方根后构成的对角阵，则  $\Delta n(\zeta) \approx \mathbf{U} \mathbf{U}^T$ 。因此， $\zeta$  可近似表示为：

$$\zeta = \mathbf{U} \xi, \quad (4-11)$$

这里的  $\xi$  为一组互不相关的随机变量，它仅含  $t$  个分量。若原始随机变量  $\zeta$  服从高斯分布，则  $\xi$  为一组互相独立的高斯分布随机变量。

由以上 PFA 过程可以看出，变量消减时仅利用了变量间的空间相关性，而没有考虑每个变量对输出结果的影响。文献[42]提出了一种基于主海森方向 (Principal Hessian direction) 的变量消减方法，考虑了输入变量对输出结果的影响。受其启发，本文提出一种加权主元分析方法 (weighted PFA, wPFA)，为每个随机扰动量定义一个权重因子以反映它对输出结果的影响，从而得到一组新的随机变量，然后再进行变量消减将更为有效。

记对角阵  $\mathbf{W}$  为权重矩阵，其对角线元素  $w_i$  为针对第  $i$  个变量的权重，

$\zeta$  为一组描述工艺变动的随机扰动量，则可以生成一组新的随机变量  $\xi'$ ，

$$\xi' = W\zeta, \quad (4-12)$$

$\xi'$  的协方差矩阵  $\Delta n(\xi')$  包含了权重信息，

$$\Delta n(\xi') = E(W\zeta(W\zeta)^T) = W\Delta n(\zeta)W^T, \quad (4-13)$$

对  $\Delta n(\xi')$  做 PFA，则可得

$$\zeta = W^{-1}\xi' = W^{-1}U\xi, \quad (4-14)$$

其中， $U$  为  $\Delta n(\xi')$  前  $t$  个特征值的平方根及其相应特征向量的乘积， $\xi$  为  $t$  个互相独立的随机变量。

受概率密度函数以及变量间相关性约束， $\zeta$  的取值集中于较大特征值对应的特征方向。PFA 即是提取出这些主特征方向，忽略其他特征方向上的分量，以达到变量消减的目的。而 wPFA 在 PFA 的基础上，还考虑了每个变量对输出结果的影响，由它得到的  $\zeta$  采样值体现了对结果影响较大的方向，因此能更为有效地达到变量消减目的。从具体实现的角度来看，引入权重矩阵  $W$  使得  $\xi'$  的协方差矩阵特征值分布的差异加剧，从而取较少的主特征值就能获得较高的精度。

在电容提取中，导体的电容值是其所有边界元上所带电量之和，且电荷在各边界元上的分布为非均匀的。因此不同位置上边界元对导体电容的贡献有差异。例如，由于带电导体的尖端效应，位于导体顶点、棱附近的边界元相对于导体面中央部分所带电荷量较大。基于对以上现象的考虑，我们将边界元上的几何变动量  $\zeta_i$  的权重定义为该边界元所带的电荷量。

我们对未发生工艺变动的导体结构做电容提取，得到离散边界元的电荷分布。由于我们采用三角形边界元离散导体表面，几何变动发生于边界元的顶点上，因此需要将边界元上的电荷量分配到变动节点上。假设边界元上电荷量平均分配到三个顶点上，则可定义变动节点  $i$  上随机变动量的电荷量  $q_{v,i}$  为：

$$q_{v,i} = \sum_{\Gamma_j \in \text{panel}_j} \frac{q_j}{3}, \quad (4-15)$$

其中  $q_j$  表示边界元  $j$  所带的电荷量， $i$  表示变动节点  $i$ 。由于权重是正值，定义随机变量  $\zeta_i$  的权重  $w_i$  为：

$$w_i = |q_{v,i}|, \quad (4-16)$$

#### 4.1.3 算法的并行实现

基于 HPC 方法的统计寄生参数提取的主要步骤如图 4.1 所示，其中采用 wPFA 技术进行随机变量消减。通过分析，可以看出图 4.1 所示的第四步易于并行实现。因此可以利用计算机集群（cluster）、或多 CPU/多核计算平台，通过并行计算进一步减小统计寄生参数提取的时间。并且，在串行计算过程中，前三步以及第五步耗费的总时间一般远小于第四步的时间，因此对第四步采用并行处理能够大幅度地提升整个算法的计算效率。

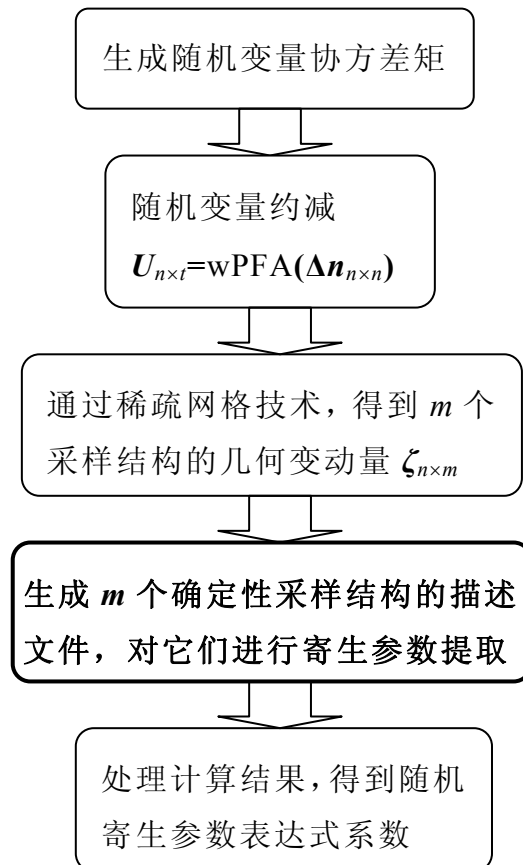


图 4.1 HPC 法提取寄生参数的算法流程

由于在算法流程的第四步中，各任务间不存在数据交换，因此仅需简单开启多线程就可以实现并行化。例如对于共有  $p$  个处理器的集群系统或多 CPU/多核计算机，第四步的并程序包括如下步骤：

1. 将  $\zeta_{n \times m}$  矩阵按列分为  $p$  部分，每部分包含  $m/p$  列，并将每部分数据分别传输到各处理器上；
2. 各个处理器根据输入数据对各个确定性采样结构生成描述文件，然后调用相应的寄生参数求解器进行求解；
3. 将  $p$  个处理器所得结果合并，交给一个处理器进行下一步处理。

在多 CPU/多核编程环境中，较新版本的编译器一般都直接提供了启动多线程同时运行多任务的功能，实现起来非常简单。

## 4.2 全路径电容提取

### 4.2.1 窗口间电容协方差计算

由于描述工艺变动的随机变量具有空间相关性，因此，不同窗口内的电容函数也具有相关性。计算窗口间电容协方差<sup>[35]</sup>对准确估计全路径电容有着重要的意义。假设经过窗口内电容提取后，导体  $k$  在窗口  $i$  和窗口  $j$  内的电容表达式分别为

$$C_{i,k} = \sum_{p=1}^{M_i} c_{i,k,p} \Psi_p(\xi), \quad (4-17)$$

和

$$C_{j,k} = \sum_{p=1}^{M_j} c_{j,k,p} \Psi_p(\xi'), \quad (4-18)$$

则导体  $k$  在窗口  $i$  和窗口  $j$  间的电容协方差可以表示为

$$\text{cov}(C_{i,k}, C_{j,k}) = \sum_{p=1}^{M_i} \sum_{q=1}^{M_j} c_{i,k,p} c_{j,k,q} \text{cov}(\Psi_p(\xi), \Psi_q(\xi')), \quad (4-19)$$

其中， $\xi$  和  $\xi'$  分别是窗口  $i$  和窗口  $j$  内经 wPFA 处理后的独立随机变量。此时，问题转化为计算埃尔米特多项式之间的协方差。

我们先计算窗口  $i$  内某一随机变量  $\xi$  和窗口  $j$  内某一随机变量  $\xi'$  之间的协方差。由(4-14)知， $\xi$  和物理变量  $\zeta$  之间的关系可表示为



$$\zeta = L_i \xi, \quad (4-20)$$

其中,  $L_i$  是一个  $n \times d$  矩阵。  $n$  是描述几何变动的物理变量数目,  $d$  是变量消减后的独立变量数。利用伪逆的概念, 由式(4-20)可以得到

$$\xi \approx G_i \zeta, \quad (4-21)$$

其中,  $G_i$  是  $L_i$  的伪逆, 维度为  $d \times n$ :

$$G_i = (L_i^T L_i)^{-1} L_i^T. \quad (4-22)$$

于是, 可得

$$\begin{aligned} \text{cov}(\zeta_a, \zeta'_b) &= \text{cov}\left(\sum_s g_{i,a,s} \zeta_s, \sum_r g_{j,b,t} \zeta'_t\right), \\ &= \sum_s \sum_t g_{i,a,s} g_{j,b,t} \text{cov}(\zeta_s, \zeta'_t) \end{aligned} \quad (4-23)$$

其中,  $g_{i,a,s}$  和  $g_{j,b,t}$  分别表示矩阵  $G_i$ 、 $G_j$  内元素, 而  $\text{cov}(\zeta_s, \zeta'_t)$  可由几何变动模型得到。对于  $n$  很大的情况, 直接计算式(4-23)非常耗时。考虑式(3-2)相关系数随着距离增大的衰减, 可以忽略两个相距很远的窗口间变量的协方差, 这样可以提高计算效率。

由两不同窗口内独立变量间的协方差, 可通过埃尔米特多项式的定义式计算得到多项式间的协方差。二阶以下埃尔米特多项式仅有 4 种, 其中 0 阶的多项式为 1, 它与任何其它多项式之间的协方差都为 0。余下的 3 种多项式两两间协方差分别为:

$$\text{cov}(\zeta_a^i, \zeta_b^j), \quad (4-24)$$

$$\text{cov}(\zeta_a^{i2} - 1, \zeta_b^{j2} - 1) = 2 \text{cov}(\zeta_a^i, \zeta_b^j)^2, \quad (4-25)$$

$$\text{cov}(\zeta_a^i \zeta_c^i, \zeta_b^j - 1) = 2 \text{cov}(\zeta_a^i, \zeta_b^j) \text{cov}(\zeta_c^i, \zeta_b^j), \quad (4-26)$$

$$\text{cov}(\zeta_a^i \zeta_c^i, \zeta_b^j \zeta_d^j) = \text{cov}(\zeta_a^i, \zeta_b^j) \text{cov}(\zeta_c^i, \zeta_d^j) + \text{cov}(\zeta_a^i, \zeta_d^j) \text{cov}(\zeta_c^i, \zeta_b^j), \quad (4-27)$$

$$\text{cov}(\zeta_a^i \zeta_c^i, \zeta_b^j) = 0, \quad (4-28)$$

$$\text{cov}(\zeta_a^{i2} - 1, \zeta_b^j) = 0. \quad (4-29)$$

将式(4-24)至(4-29)代入式(4-19), 则可以求出不同窗口间电容协方差。

### 4.2.2 全路径电容提取

窗口间协方差计算的最直接应用是全路径电容提取,它是待求导体在经过的所有窗口的电容表达式相加的结果。因此,全路径电容的均值和方差满足以下表达式:

$$E(C_k) = E(\sum_i C_{ki}) = \sum_i E(C_{ki}), \quad (4-30)$$

$$D(C_k) = D(\sum_i C_{ki}) = \sum_i D(C_{ki}) + 2 \sum_{i \neq j} \text{cov}(C_{ki}, C_{kj}), \quad (4-31)$$

其中,  $E(C_{ki})$ 和  $D(C_{ki})$ 可分别由式(4-7)和(4-8)计算得到。可见,全路径电容的方差除了各窗口的电容方差之和外,还包括窗口间电容协方差,忽略此项将会导致全路径电容方差的严重低估。

综上所述,全路径电容提取的算法流程可概括为图 4.2 所示。

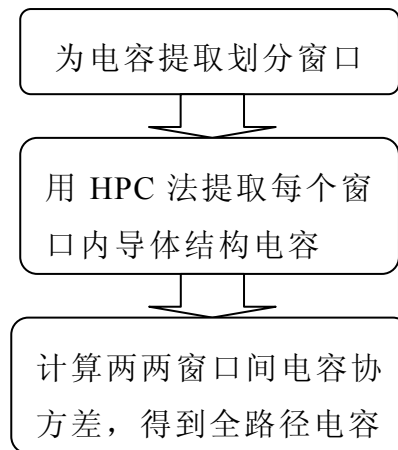


图 4.2 全路径电容提取算法流程

### 4.3 实验结果及分析

为检验加权主元分析技术和 HPC 算法并行实现的效果,我们分别用小规模(不需要划分窗口)电容提取和平行总线阻抗提取的例子进行实验。对于较大规模的例子,我们将两根平行长导线划分为 10 个窗口进行全路径电容提取实验。所有实验均运行于含 8 个 Intel(R) Xeon(R) CPU 的 Linux 工作站, CPU 的主频为 2.33GHz。

## 4.3.1 小规模电容提取实验

我们分别对含两条平行导线和  $3 \times 3$  交叉线的结构提取电容。所有导体宽  $0.3\mu\text{m}$ ，高  $0.53\mu\text{m}$ 。同层导体相距  $0.28\mu\text{m}$ ，层间相距  $0.85\mu\text{m}$ 。高度方向与宽度方向的变动标准差分别为线高、线宽的 10%，高度方向随机变动的相关长度设为  $6\mu\text{m}$ ，宽度方向设为  $4\mu\text{m}$ 。采用 HPC 法进行统计电容提取，变量消减分别采用 PFA 与 wPFA 技术，选取主元的标准都是保留的特征值之和与所有特征值之和的误差不超过 0.5%。

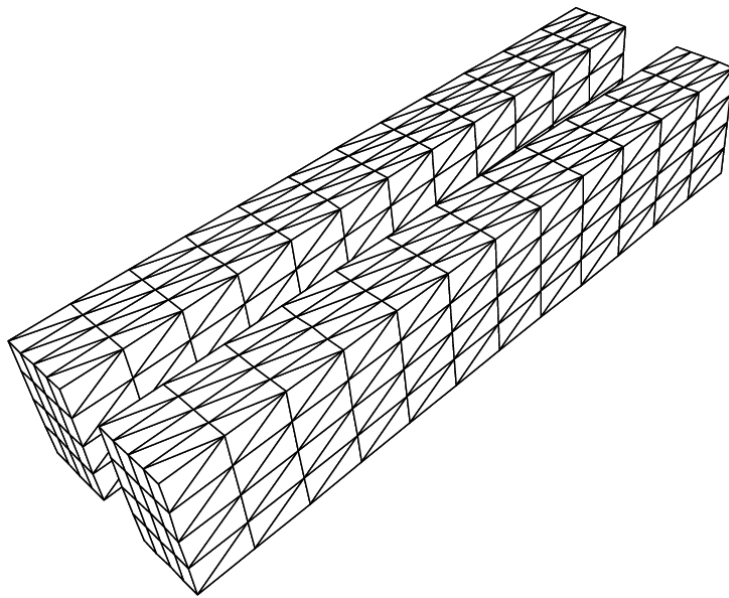


图 4.3 两根平行线

两根平行线的实验中，两导体长为  $6\mu\text{m}$ ，如图 4.3 所示。表 4.1 列出了两种变量消减技术保留的独立随机变量数目、确定性采样结构数目，以及串、并行统计电容提取计算时间。其中，建模时间是指生成导体连续表面的时间，FastCap 时间是指调用 FastCap 求解确定性导体结构的运行时间。表 4.1 中也列出了 10000 个采样点的蒙特卡罗方法 (MC) 的计算时间，通过对比可以看出使用加权主元分析的 HPC 方法的加速比约为 34 倍，而 HPC(wPFA) 的总计算时间比 HPC(PFA) 少 37%。表 1 数据显示，在 8 个 CPU 的计算机上实现的并行计算使计算速度进一步提高约 6.6 倍。

我们将采用普通主元分析 (PFA) 和加权主元分析 (wPFA) 的计算结果与蒙特卡罗仿真的结果进行对比，统计电容的均值和标准差列于表 4.2

中，包括导体自电容  $C_{11}$  和耦合电容  $C_{12}$  的结果。从表 4.2 可以看出，wPFA 在使独立变量数目减少了约 21%的同时，并没有使得计算结果的误差增大，并且与蒙特卡罗仿真相比，采用 HPC 和 wPFA 的方法具有很高的精度。

表 4.1 两平行线电容提取 PFA 与 wPFA 的计算效率比较

		MC	HPC	wPFA	
保留变量数		--	14	11	
采样结构数		10000	435	276+1*	
计算时间	串行	总运行时间	9636.4	458.1	287.5
		建模时间	3456.9	152.9	97.1
		FastCap 时间	6179.5	305.2	190.3
	并行	总运行时间	1469.2	69.5	45.1
		建模时间	578.1	24.5	17.7
		FastCap 时间	891.1	45.0	27.4

\* “+1” 表示对未发生工艺变动的结构做一次提取

表 4.2 两平行线电容提取 PFA 与 wPFA 的结果比较（单位： $10^{-18}\text{F}$ ）

		MC	HPC	误差(%)	wPFA	误差(%)
$C_{11}$	均值	253.7	253.5	-0.1	253.8	0.0
	标准差	29.5	28.6	-3.0	28.6	-3.0
$C_{12}$	均值	-183.4	-182.9	-0.2	-183.2	-0.1
	标准差	28.5	27.5	-3.4	27.6	-3.3

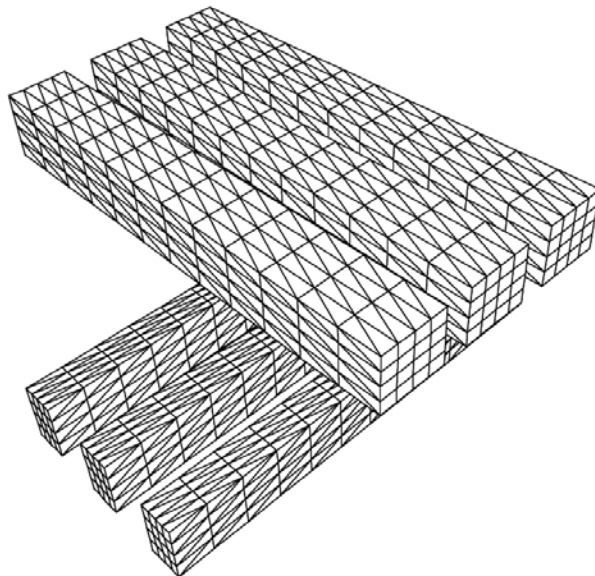


图 4.4 3×3 交叉线

3×3 交叉线的实验中，所有导体长为 3μm，如图 4.4 所示。从表 4.3 中的实验数据可以看出，使用加权主元分析的 HPC 方法的加速比约为 30 倍，而 HPC(wPFA)的总计算时间比 HPC(PFA)少了约 42%。表 1 数据显示，在 8 个 CPU 的计算机上实现的并行计算使计算速度进一步提高约 6.2 倍。

表 4.3 3×3 交叉线电容提取 PFA 与 wPFA 的计算效率比较

		MC	HPC	wPFA	
保留变量数		--	16	12	
采样结构数		10000	561	325+1	
计算时间	串行	总运行时间	15171.3	865.3	504.3
		建模时间	5127.2	287.1	168.7
		FastCap 时间	10044.0	578.1	335.6
	并行	总运行时间	2436.4	135.8	79.9
		建模时间	881.4	49.2	29.4
		FastCap 时间	1555.0	86.6	50.5

采用普通主元分析 (PFA) 和加权主元分析 (wPFA) 的计算结果与蒙特卡罗仿真的结果对比见表 4.4。从表 4.2 可以看出，wPFA 在使独立变量数目减少了 25% 的同时，并没有使得计算结果的误差增大，并且与蒙特卡罗仿真相比，采用 HPC 和 wPFA 的方法具有很高的精度。

表 4.4 3×3 交叉线电容提取 PFA 与 wPFA 的结果比较 (单位: 10<sup>-18</sup>F)

		MC	HPC	误差 (%)	wPFA	误差 (%)
C <sub>11</sub>	均值	150.6	150.8	0.2	150.9	0.2
	标准差	17.3	16.8	-2.8	16.8	-3.0
C <sub>12</sub>	均值	-83.0	-83.1	0.1	-82.9	0.0
	标准差	15.5	14.9	-3.6	14.9	-3.6
C <sub>13</sub>	均值	-8.4	-8.5	1.4	-8.7	4.0
	标准差	1.8	1.7	-6.6	1.4	-20.9
C <sub>14</sub>	均值	-11.2	-11.2	-0.1	-11.2	-0.4
	标准差	7.4	7.4	-1.2	7.3	-2.2
C <sub>15</sub>	均值	-7.3	-7.3	0.0	-7.3	0.7
	标准差	4.3	4.6	5.8	4.3	0.0
C <sub>16</sub>	均值	-11.2	-11.2	0.2	-11.2	0.2
	标准差	7.5	7.4	-1.1	7.3	-1.9

其中，C<sub>13</sub> 的标准差误差较大。但是由于导体 2 的屏蔽作用，C<sub>13</sub> 的值相对于主导体自电容的值非常小。在实际的提取中，往往忽略该项对电路分析的影响。整体来说，采用 HPC 和 wPFA 的方法具有很高的精度。

## 4.3.2 平行总线阻抗提取实验

为验证加权主元分析处理变量消减以及 HPC 算法并行化的有效性，我们将其应用于平行总线阻抗提取。

随着集成电路信号频率的升高，电感效应将变得十分显著。为了反映高频电感效应，通常采用部分元等效电路方法对互连结构进行建模，其中互连线的部分电感和电阻（合起来为互连阻抗）的值将随频率变化。提取互连阻抗参数的方法是基于部分元等效电路模型的体积元法<sup>[43]</sup>，为了反映导体截面电流分布不均匀的特点，它首先将导体横截面离散成一组沿电流方向的导体细丝。图 4.5 为将导体划分为  $5 \times 3$  细丝结构的示意图。在磁准静态（MQS）假设下，可认为电流都沿着细丝长度方向流动，并且每根细丝中电流均匀分布。

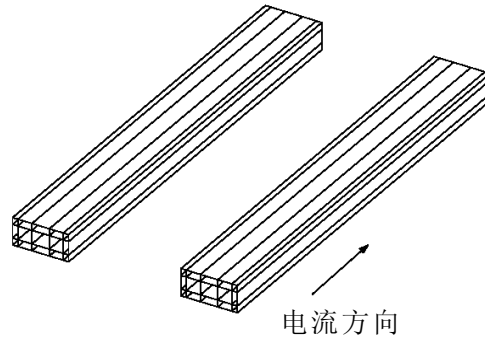


图 4.5 两根平行导体，各被划分为  $5 \times 3$  个细丝

假设  $a$  根互连导体离散后共得到  $b$  根细丝，则

$$(\mathbf{R}_b + j\omega\mathbf{L}_b)\mathbf{I}_b = \mathbf{V}_b, \quad (4-32)$$

其中， $\mathbf{R}_b$  表示细丝电阻，为  $b \times b$  对角矩阵， $\omega$  为信号角频率， $\mathbf{L}_b$  表示细丝间的部分电感，为  $b \times b$  稠密矩阵，向量  $\mathbf{I}_b$  和  $\mathbf{V}_b$  分别表示细丝电流和导体两端的电压。细丝的电阻和部分电感均可通过解析公式或数值积分加以计算，因此在给定导体偏压情况下求解方程(4-32)可得到  $\mathbf{I}_b$ ，再利用细丝电流  $\mathbf{I}_b$  与导体电流  $\mathbf{I}_a$  满足的关系式：

$$\mathbf{M}\mathbf{I}_b = \mathbf{I}_a, \quad (4-33)$$

其中  $\mathbf{M}$  为表示细丝与导体之间关系的邻接矩阵，求得每个导体的电流。根据所设的偏压，进一步可以求出导体频变阻抗，从中得到频变电阻和电

感：

$$\mathbf{Z}\mathbf{I}_a = \mathbf{V}_a, \quad (4-34)$$

其中  $\mathbf{Z}$  为导体阻抗矩阵,  $\mathbf{V}_a$  为表示导体偏压的  $a$  维向量。设  $k$  为主导体(偏压为 1V), 则矩阵  $\mathbf{Z}$  的元素

$$Z_{ki} = R_{ki} + j\omega L_{ki}, \quad i = 1, \dots, m., \quad (4-35)$$

$L_{ki}$  ( $i \neq k$ ) 表示导体  $k$  和  $i$  之间的互电感,  $L_{kk}$  为导体  $k$  的自电感,  $R_{kk}$  为导体  $k$  的电阻, 它们都是随频率变化的量。

由于频变阻抗主要与互连导体的大小、位置有关, 而与导体表面形状关系较小, 因此为简化计算模型, 我们仅考虑导体的宽度与厚度发生随机变化的情况。图 4.6 显示了一组平行互连线结构, 设  $\zeta_y$ 、 $\zeta_z$  分别表示互连线的宽度和高度, 它们为两组服从高斯分布的随机变量, 并且分别具有空间相关性, 相关系数也通过公式(3-2)来刻画。

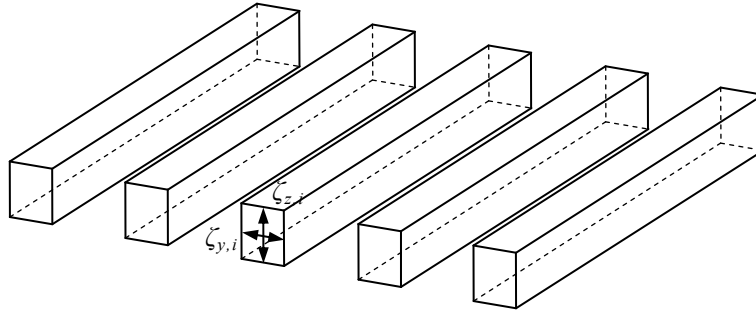


图 4.6 频变阻抗提取的工艺变动模型

在加权主元分析中, 需要考虑随机扰动对结果的影响。针对统计阻抗提取分析, 我们直接取每个导体的阻抗值作为几何变动量的权重。

对于  $a$  个平行排列的导体, 设  $k$  为主导体(偏压为 1V), 其余为环境导体(偏压为 0), 要求解主导体的频变电阻与各导体的频变电感。我们先对未发生工艺变动的导体结构做阻抗提取, 然后设对应于导体  $i$  的几何变动量  $\zeta_i$  的权重  $w_i$  为相应的阻抗值, 即:

$$w_i = |R_{ki} + j\omega L_{ki}|, \quad (4-36)$$

其中  $R_{ki}$  为导体  $i$  的频变电阻,  $L_{ki}$  为导体  $i$  的频变电感。

我们对含 20 根导体的平行总线结构提取频变阻抗。假设信号频率为 5GHz, 且第一根导线为主导体。所有导线长均为  $6\mu\text{m}$ , 宽和高皆为  $1\mu\text{m}$ ,

相邻两根导线相距  $1\mu\text{m}$ 。使用 FastHenry<sup>[43]</sup>中实现的体积元法进行求解确定性采样结构，每根导线离散为  $5\times 5$  根细丝。高度与宽度方向的变动标准差分别为线高、线宽的 10%，变动相关长度分别为  $6\mu\text{m}$  和  $4\mu\text{m}$ 。

采用 PFA 与 wPFA 技术进行变量消减时，选取主元的标准都是保留的特征值之和与所有特征值之和的误差不超过 5%。表 4.5 列出了两种变量消减技术保留的独立随机变量数目、确定性采样结构数目，以及串、并行统计阻抗提取计算时间，也列出了 10000 个采样点的蒙特卡罗方法的计算时间。通过对比可以看出，HPC(wPFA)的总计算时间比 HPC(PFA)少 93%，它相对于蒙特卡罗方法的加速比约为 235 倍，另外并行计算使得计算速度进一步提高 4.5 倍。

表 4.5 阻抗提取 PFA 与 wPFA 的计算效率比较

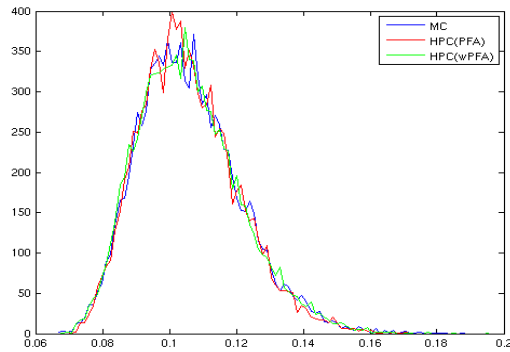
		MC	HPC(PFA)	HPC(wPFA)
保留变量数		--	17	4
采样结构数		10000	630	45+1
计算时间 (s)	串行	39419.6	2352.6	167.8
	并行	7640.5	468.5	37.4

为了将采用普通主元分析和加权主元分析的 HPC 方法的计算结果与 10000 次蒙特卡罗仿真的结果进行对比，在表 4.6 中列出了几个统计阻抗的均值和标准差，包括主导体的频变电阻  $R_{11}$ 、自电感  $L_{11}$ ，以及第二根导线的互电感  $L_{12}$ 。从表 4.6 中数据可以看出，wPFA 在使独立变量数目减少 76%的同时，并没有使得计算结果的误差增大，并且相对于蒙特卡罗仿真，采用 HPC 和 wPFA 的方法比 PFA 具有更高的精度。

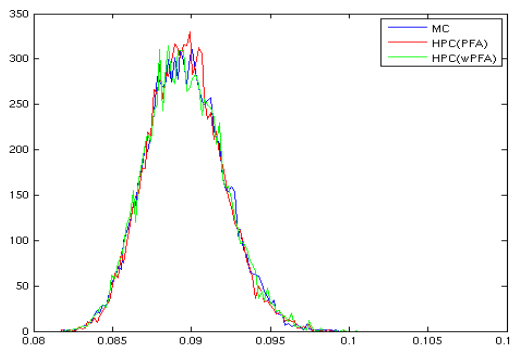
表 4.6 阻抗提取 PFA 与 wPFA 的结果比较

		MC	HPC(PFA)	Error(%)	HPC(wPFA)	Error(%)
$R_{11}$ ( $\Omega$ )	均值	0.1061	0.1058	-0.3	0.1060	-0.1
	标准差	0.0154	0.0148	3.9	0.0154	0.0
$L_{11}$ (H)	均值	0.0896	0.0896	0.0	0.0896	0.0
	标准差	0.0025	0.0024	-4.0	0.0025	0.0
$L_{12}$ (H)	均值	0.0415	0.0415	0.0	0.0415	0.0
	标准差	0.000178	0.000178	0.0	0.000178	0.0

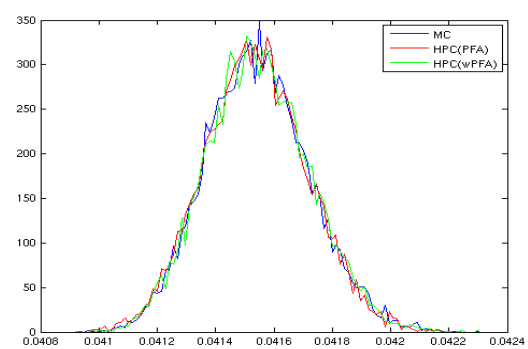




a. 频变电阻统计分布图



b. 主导体自电感  $L_{11}$  的统计分布图



c. 互电感  $L_{12}$  的统计分布图

图 4.7 阻抗提取统计分布图

图 4.7a 给出了主导体频变电阻的统计分布图（绘图采样间隔为  $0.013\Omega$ ），第一、二根导线的频变电感统计分布图分别如图 4.7b 和图 4.7c 所示（绘图采样间隔分别为  $1.90 \times 10^{-4}\text{H}$  和  $1.39 \times 10^{-5}\text{H}$ ）。从图中可以看出，三种方法的结果非常吻合，并且互连电阻的统计分布具有明显的二阶效应。根据实验结果进一步可以看出，当工艺变动标准差为 10% 时，互连线频变电阻在 5GHz 下具有 15% 的变动标准差，而电感的变动标准差约为 3%。这些互连阻抗的统计信息，对后续互连时延、噪声等性能的准确分析将是非常重要的。

### 4.3.3 全路径电容提取实验

基于连续表面变动模型的全路径电容提取实验所采用的导体结构与文献[35]保持一致。根据具有空间相关性的多维高斯分布，生成 10000 个

蒙特卡洛 (MC) 采样结构。将每个采样结构分成 10 个窗口提取电容, 并将各窗口的计算结果相加得到全路径电容。统计这 10000 个采样结构的结果, 得到全路径电容的 MC 仿真结果。再用基于加权主元分析的 HPC 法提取全路径电容, 两种方法的计算结果见表 4.7。

表 4.7 全路径电容提取 MC 与 wPFA 的结果比较

		MC	HPC(wPFA)	误差
$C_{11}$	均值	1483	1484	0.1%
	标准差	8.76	8.87	1.3%
$C_{12}$	均值	-511	-513	-0.4%
	标准差	6.68	7.34	9.8%

从表 4.7 可以看出, 基于 wPFA 的 HPC 法相对于 MC 法误差较小, 验证了本文提出的全路径电容提取算法的有效性。与文献[35]实验结果相对比, 可以发现本实验中  $C_{11}$  的标准差大大小于文献[35]中结果。这是因为文献[35]采用了过于简单的基于网格的工艺变动模型, 从而高估了全路径电容的标准差。

本实验中, wPFA 保留了 8 个独立随机变量, HPC 法需要在每个窗口中求解 154 个确定性配置点结构。HPC 法相对于 MC 法的期望加速比为  $10000/154 \approx 64$ 。实际计算时间如表 4.8 所示。从中可以看出额外的 40.5 秒用于求解全路径电容统计特征, 其中主要在于计算窗口间电容协方差。相对于 MC 法的实际加速比仍然达到了 58 倍之多。

表 4.8 全路径电容提取运行时间 (s)

MC	Proposed method			Speedup ratio
	HPC(wPFA)	Full-path variances	Total	
20918	322	40.5	362.5	58

## 第5章 总结与展望

### 5.1 总结

随着集成电路规模的不断扩大和特征尺寸的不断缩小，其制造工艺越来越复杂且难以控制，由此导致的工艺变动对集成电路性能以及成品率的影响也越来越大。而互连电容提取在 IC 设计环节中对验证集成电路性能、提高产品成品率都至关重要。因此，考虑工艺变动的互连寄生电容提取成为当前研究的热点问题。本文对该问题进行了相关研究工作，主要研究内容及成果如下：

1. 本文针对以往工艺变动几何模型的缺陷，提出了改进的连续表面变动模型。改进的模型只需利用较少的变量描述导体线高、线宽受工艺变动的影 响，得到连续的导体表面。基于 FastCap 边界元法电容求解器，本文提出了导体表面生成算法，并通过数值实验验证了其合理性。

2. 本文基于新的连续表面变动模型，利用窗口划分的方法提出了全路径电容提取算法。对于窗口内电容提取，提出了基于埃尔米特多项式配置法的加权主元分析技术。该技术考虑了电磁层面对几何变量的影响，能够更有效的消减几何变量。数值实验表明，加权主元分析在保证同等精度的同时，相对于普通的主元分析可较少约 40% 的计算时间。本文还实现了埃尔米特多项式配置法的并行化，并在含 8 个 CPU 的工作站上达到了 6 倍以上的并行加速比。对于全路径电容提取，本文利用伪逆的技术给出了计算窗口间电容协方差的计算公式，总结了基于连续表面变动模型的全路径电容提取算法。数值实验表明，该算法在保证精度的前提下，相对于含 10000 个采样点的蒙特卡洛方法可以达到约 58 倍的加速比。

### 5.2 展望

1. 本文的连续表面变动建模中一个重要的问题就是设定位于不同导体面上的几何变量之间的相关性，它直接影响后续的变量消减剩余的独立变量数，从而影响算法的计算效率。本文仅根据作者对 CMP、刻蚀等工艺的理解，设定了简单的相关性模型，但是其合理性并未被充分证明。因此，若能从理论上或实际实验中完善该相关性模型，将会对更合理的建立工艺

变动下互连连续表面模型产生积极影响。

2. 对于加权主元分析的应用,本文目前只实现了根据几何上空间相关的变量分组考虑加权主元分析。若能全局考虑变量的电磁权重,将会进一步消减变量的数目。

3. 目前的全路径电容提取算法只能得到全路径电容的均值、方差等统计特征,如果能够像窗口内电容提取那样得到全路径电容的随机表达式,那么可以给电路仿真带来更高的准确度。

## 参考文献

- [1] Semiconductor Industry Association, "International Technology Roadmap for Semiconductors, Executive Summary", 2007, [Online]
- [2] Xin Li, Jiayong Le and Lawrence Pileggi, "Statistical performance modeling and optimization," Foundations and Trends in Electronic Design Automation (FnTEDA), vol. 1, no. 4, pp. 331-480, Oct. 2006
- [3] Brian E. Stine, Duane S. Boning, and James E. Chung, Simulating the Impact of Pattern-Dependent Poly-CD Variation on Circuit Performance, IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, VOL. 11, NO. 4, NOVEMBER 1998
- [4] Zhenhai Zhu , Alper Demir and Jacob White, A stochastic integral equation method for modeling the rough surface effect on interconnect capacitance, ICCAD' 2004
- [5] Hidetoshi Ohnuma, Koji Kikuchi and Hiroichi Kawahira, New Method for Reducing Across Chip Poly-CD Variation with Statistical OPC/Gauge Capability Analysis, Proc. SPIE Vol. 4562, p. 362-367, 21st Annual BACUS Symposium on Photomask Technology
- [6] Vikas Mehrotra, Shiou Lin Sam, Duane Boning, Anantha Chandrakasan, Rakesh Vallishayee and Sani Nassif, A Methodology for Modeling the Effects of Systematic Within-Die Interconnect and Device Variation on Circuit Performance, DAC' 2000
- [7] Rong Jiang, Wenyin Fu, Janet Meiling Wang, Vince Lin\_ and Charlie Chung-Ping Chen, Efficient Statistical Capacitance Variability Modeling with Orthogonal Principle Factor Analysis, ICCAD' 2005
- [8] B. Stine, D. Boning, and J. Chung, "Analysis and decomposition of spatial variation in integrated circuit processes and devices, " *IEEE Trans. Semiconductor Manufacturing*, vol. 10, no. 1, pp. 24 - 41, February 1997
- [9] 喻文健, 王泽毅, "三维 VLSI 互连寄生电容提取的研究进展", 计算机辅助设计与图形学学报, 第 15 卷, 第 1 期, pp. 21-28, 2003 年。
- [10] A. Seidl, M. Svoboda , et al . CAPCAL-A 3D capacitance solver for support of CAD systems[J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems , 1988 , 7 (5) : 549 ~ 556
- [11] A. H. Zemanian, R. P. Tewarson. Three dimensional capacitance computations for VLSI/ULSI interconnections [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 1989, 8(12) :1319 ~ 1326

- 
- [12] G. I. Costache. Finite element method applied to skin2effect problems in strip transmission lines [J]. IEEE Transactions on Microwave Theory and Techniques , 1987 , MTT235 (11) : 1009 ~ 1013
- [13] T. Chou, Z. J. Cendes. Capacitance calculation of IC packages using the finite element method and planes of symmetry [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems , 1994 , 13 (9) : 1159 ~ 1166
- [14] Zeyi Wang, Yanhong Yuan, Qiming Wu. A parallel multipole accelerated 3-D capacitance simulator based on an improved model [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 1996, 15 (12) : 1441 ~ 1450
- [15] K. Nabors, J. White. FastCap: A multipole accelerated 3-D capacitance extraction program [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems , 1991 , 10 (11) : 1447 ~ 1459
- [16] S. Kapur, D. Long. IES<sup>3</sup>: A fast integral equation solver for efficient 3-dimensional extraction [A]. In : Proceedings of International Conference on Computer Aided Design , San Jose , California , 1997. 448 ~ 455
- [17] W. Shi, J Liu, et al. A fast hierarchical algorithm for 3-D capacitance extraction [A]. In : Proceedings of Design Automation Conference , San Francisco , California , 1998. 212 ~ 217
- [18] S Fukuda, N Shigyo, et al. A ULSI 2-D capacitance simulator for complex structures based on actual processes [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems , 1990 ,9 (1) :39 ~ 47
- [19] Li Yi, Wang Zeyi, Hou Jinsong. Simulation of the parasitic interconnect capacitance in the DRAM with the stacked structures [J]. Acta Electronica Sinica , 2000 , 28 (11) :29 ~ 31 (in Chinese)
- [20] YL Le Coz, R B Iverson. A stochastic algorithm for high speed capacitance extraction in integrated circuits [J]. Solid-State Electronics, 1992, 35 (7) : 1005 ~ 1012
- [21] A Brambilla, P. Maffezzoni. A statistical algorithm for 3D capacitance extraction [J]. IEEE Microwave and Guided Wave Letters , 2000 , 10(8) : 304 ~ 306
- [22] W Hong, W Sun, et al. A novel dimension2reduction technique for the capacitance extraction of 3-D VLSI interconnects [J]. IEEE Transactions on Microwave Theory and Techniques , 1998 , 46 (8) :1037 ~ 1043
- [23] Z. Zhu, H Ji, W Hong. An efficient algorithm for the parameter extraction of 3-D interconnect structures in the VLSI circuits: Domain-decomposition method [J]. IEEE Transactions on Microwave Theory and Techniques , 1997 , 45 (7) : 1179 ~ 1184

- 
- [24] Zhu Jialin. The Boundary Element Analysis for the Elliptical Boundary Value Problems [M]. Beijing : Science Press , 1991 (in Chinese)(祝家麟. 椭圆边值问题的边界元分析[M]. 北京: 科学出版社 ,1991)
- [25] Zeyi Wang and Wenjian Yu, “A fast quasi-multiple medium algorithm for 3-D interconnect capacitance calculation,” in Proc. IFIP 16th World Computer Congress 2000, Beijing, China. Aug. 2000, pp. 223-230
- [26] 喻文健, “VLSI 三维寄生电容电阻快速直接边界元提取算法研究”, 清华大学博士论文, 2003
- [27] Y. Saad, M. H. Schultz. GMRES: A generalized minimal residual algorithm for solving nonsymmetric linear systems [J]. SIAM Journal of Scientific and Statistical Computing , 1986 , 7 (3) :856 ~ 869
- [28] Vikas Mehrotra, Sani Nassif, Duane Boning and James Chung, Modeling the Effects of Manufacturing Variation on High-speed Microprocessor Interconnect Performance, IEDM’ 1998
- [29] Xiaoning Qi, Alex Gyure, Yansheng Luo, Sam C. Lo, Mahmoud Shahram, and Kishore Singhal, Measurement and Characterization of Pattern Dependent Process Variations of Interconnect Resistance, Capacitance and Inductance in Nanometer Technologies, GLS-VLSI’ 2006
- [30] Y. Bi, N.P. van der Meijs, D. Ioan, “Capacitance sensitivity calculation for interconnects by adjoint field technique,” in *SPI*, 2008.
- [31] Y. Bi, K. van der Kolk, D. Ioan, N.P. van der Meijs, “Sensitivity computation of interconnect capacitances with respect to geometric parameters,” in *EPEP*, 2008.
- [32] A. Singhee, S. Singhal, and R. A. Rutenbar, “Practical, fast Monte Carlo statistical static timing analysis: Why and how,” in Proc. ICCAD, pp. 190-195, Nov. 2008.
- [33] H. Zhu, X. Zeng, W. Cai, J. Xue, and D. Zhou, “A sparse grid based spectral stochastic collocation method for variations-aware capacitance extraction of interconnects under nanometer process technology,” in Proc. DATE, pp.1514-1519, 2007.
- [34] J. Cui, G. Chen, R. Shen, S. X.-D. Tan, W. Yu, and J. Tong, “Variational capacitance modeling using orthogonal polynomial method,” in Proc. GLS-VLSI, pp. 23-28, 2008
- [35] W. Zhang, W. Yu, Z. Wang, Z. Yu, R. Jiang, and J. Xiong, “An efficient method for chip-level statistical capacitance extraction considering process variations with spatial correlation,” in Proc. DATE, pp. 580-585, Mar. 2008.
- [36] W. Yu, C. Hu and W. Zhang, “Variational capacitance extraction of on-chip interconnects based on continuous surface model,” in Proc. Design Automation Conf. (DAC), July 2009, pp. 758–763.

- [37] H. Zhu, X. Zeng, X. Luo, W. Cai, “Generalized Stochastic Collocation Method for Variation-Aware Capacitance Extraction of Interconnects Considering Arbitrary Random Probability,” *IEICE Trans. Electron.*, vol. E92-C, no. 4, pp. 508-516, Apr. 2009.
- [38] 张汪洋, “考虑工艺变动的三维电容提取算法研究”, 清华大学硕士论文, 2008
- [39] J. Xiong, V. Zolotov and L. He, “Robust extraction of spatial correlation,” *IEEE Trans. CAD*, vol. 26, pp. 619-631, 2007.
- [40] W. Shi and F. Yu, “A divide-and-conquer algorithm for 3-D capacitance extraction,” *IEEE Trans. CAD*, vol. 23, no. 8, pp. 1157-1163, 2004.
- [41] E. Novak and K. Ritter, “Simple cubature formulas with high polynomial exactness,” *Constructive Approximation*, vol. 15, no. 4, pp. 449-522, Dec. 1999.
- [42] A. Mitev, M. Marefat, D. Ma, and J. M. Wang, “Principle Hessian direction based parameter reduction with process variation,” in *Proc. ICCAD*, pp. 632-637, Nov. 2007.
- [43] M. Kamon, M. Tsuk, and J. White, “FastHenry: a multipole-accelerated 3D inductance extraction program,” *IEEE Trans. on Microwave Theory and Techniques*, pp. 1750–1758, Sept. 1994.



## 致 谢

首先衷心感谢我的导师——喻文健老师对我的精心指导。喻老师在 EDA 领域有深入的研究，对学术认真负责。他总是认真听取我的报告，在工作的各种细节问题上都对能够我进行悉心的指导。他严谨的研究态度和对学术的热情深深地感染了我，让我获益匪浅，也给了我一个非常好的榜样。

在整个研究生学习生活期间，我也得到了教研组其它老师和同学的帮助与支持，以及来自家人和朋友的关心与鼓励，在此对他们表示诚挚的感谢。

同时，也衷心的感谢中国科学院计算机系统结构重点实验室开放课题和清华信息科学与技术国家实验室(筹)学科交叉基金对本课题研究的经费支持。



## 声 明

本人郑重声明：所呈交的学位论文，是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

签 名：\_\_\_\_\_日 期：\_\_\_\_\_

## 个人简历、在学期间发表的学术论文与研究成果

### 个人简历

1986年9月5日出生于安徽省舒城县。

2003年9月考入哈尔滨工业大学机械设计及其自动化系，2007年7月本科毕业并获得工学学士学位。

2007年9月考入清华大学微纳电子系攻读硕士学位至今。

### 发表的学术论文

Wenjian Yu, Chao Hu and Wangyang Zhang, “Variational capacitance extraction of on-chip interconnects based on continuous surface model,” in Proc. Design Automation Conf. (DAC), July 2009, pp. 758–763.

### 已录用的学术论文

胡超, 喻文健. “面向统计互连电容提取的随机变动几何建模”, 投稿至全国第16届计算机辅助设计与图形学(CAD/CG'2010)学术会议.

胡超, 喻文健, Sheldon Tan, “基于加权主元分析的统计互连寄生参数提取”, 投稿至计算机辅助设计与图形学学报.