

三维互连电阻解析与边界元耦合提取方法

王习仁, 喻文健, 王泽毅

(清华大学 计算机科学与技术系, 北京 100084)

摘要: 随着深亚微米工艺的广泛应用, 互连结构日趋复杂, 现有的互连电阻二维提取已难满足精度要求。该文提出三维解析与边界元耦合提取方法, 它非均匀地切割互连线, 对直线段用解析公式计算, 对有复杂连接关系的线段用改进边界元法计算, 再将两者耦合成整体电阻。对版图实例的实验表明, 与商业软件 Raphael 相比, 该方法有 2~3 个数量级的加速比, 使用的内存是商业软件的 0.1%~1%, 精度比默认网格划分时的 Raphael 还要高, 证实该方法是快速精确的。

关键词: 超大规模集成电路; 互连电阻; 三维提取; 解析与边界元; 耦合

中图分类号: TN 47

文献标识码: A

文章编号: 1000-0054(2004)09-1277-05

Coupled analytical and boundary element method for 3-D interconnecting resistance calculation

WANG Xiren, YU Wenjian, WANG Zeyi

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

Abstract: Deep submicron processing technology is widely used, but the interconnecting structures are becoming very complex so resistance calculations based on two-dimensional models can no longer provide sufficiently accurate results. This paper presents a three-dimensional resistance calculation method, called the combined analytical and boundary element method. The method cuts selected interconnecting lines, then calculates the resistances of straight sections using analytical formula and the resistances of more complex sections with complex interconnections using the improved BEM. The resistances of the separate subregions are combined to calculate the resistance of the entire region. Experiments on actual layouts show that compared with the commercial Raphael algorithm, the proposed method is 2~3 orders of magnitude faster, uses much less memory (about 0.1% to 1%), and is more accurate than Raphael with default mesh partitions. The results illustrate that the coupling method used in the algorithm is efficient and accurate.

Key words: very large scale integration; interconnecting resistance; 3-D extraction; analytical and boundary element methods; coupling

目前, 随着深亚微米工艺和多层布线技术的广泛使用, 超大规模集成电路(VLSI)芯片内的布线密度迅速上升^[1], 金属互连线平均长度迅速增加, 而宽度越来越小, 单位电阻增加^[2], 由此产生的互连延时越来越大^[1]。同时, 寄生电阻对芯片的功耗、可靠性等均有显著影响^[3,4], 必须予以精确快速提取^[5]。当前, 在工作频率约 5 GHz 条件下, 静电模型依然适用于较细互连线的电阻提取。

互连电阻提取有解析计算和数值计算两类方法。解析计算只适用于简单导体结构; 数值方法可适用于复杂多端导体结构^[6], 它采用有限差分法(FDM)^[7]、有限元法(FEM)^[8]或边界元法(BEM)^[2,6]求解电阻区域内满足的 Laplace 方程从而得到互连电阻。和 FDM、FEM 相比, 边界元法具有变量少、精度高、处理复杂形体能力强等优点^[2,5,6], 受到越来越多的关注。

解析方法虽不适用于多端口结构, 但可用于其中的许多连线片段, 若将它们从原结构中抽取下来解析, 计算电阻, 对剩余部分使用数值计算, 可减少求解规模而提高速度。文[9]将电阻区域分解为三种子区域, 分别使用解析公式、库查找方法和 FDM 方法获得电阻。文[10]将电阻区域分解为两种子区域, 分别使用解析公式和 FEM 方法计算电阻。上述文献中的方法均可处理复杂多端口互连结构, 并有较高计算效率, 但仅限于二维提取。

本文提出一种互连电阻的三维快速提取方法, 称作解析与边界元耦合方法。首先, 它切割复杂多端口互连结构, 生成出直导体段, 其余导体段组成复杂子区域; 其后, 分别使用解析公式和 BEM 计算其电阻网络; 最后, 把子区域电阻网络精确耦合成整体

收稿日期: 2003-06-09

基金项目: 国家“八六三”高技术项目(2002AA1Z1460SOC)

作者简介: 王习仁(1978-), 男(汉), 山东, 博士研究生。

通讯联系人: 王泽毅, 教授, E-mail: wangzy@tsinghua.edu.cn

区域电阻网络。此外,该方法还根据电学知识对 BEM 计算作了一些改进。数值结果表明,该方法在占用较少计算资源(空间、时间)的条件下,显著提高了计算精度。

1 当前互连电阻应采用三维提取

在目前的深亚微米芯片中,金属连线层越来越多,各层之间大量使用通孔(via)连接,互连结构越来越复杂。图 1 是 IBM 芯片截面图^[1],含有 8 层铜互连线,显示了当前含通孔互连结构的三维复杂性。面对这样的复杂结构,文[2, 6, 9, 10]中的二维提取方法已很难满足精度要求。下文给出互连电阻的三维提取方法。

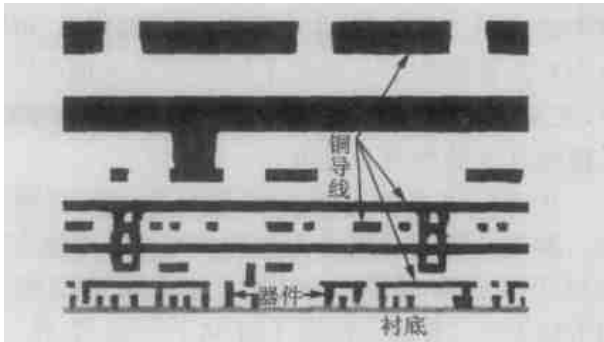


图 1 IBM 芯片截面图

2 互连电阻计算

2.1 平行双端口直导体电阻

电阻率均匀、具有平行双端口直导体的电阻计算非常简单,其解析公式为

$$R = \rho l/s, \quad (1)$$

其中: ρ 为电导率, l 为导体沿电流方向长度, s 为截面面积,如图 2 所示。该公式只适用于上述直导体,不适用于一般的多端口互连结构。

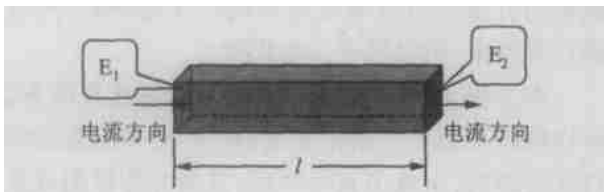


图 2 平行双端口直导体, E_1 和 E_2 为其两端口

2.2 多端口互连结构的电阻矩阵

为方便起见,将接触和端口统称为端口。一个多端口三维互连结构两两端口间均存在电阻,可等效为完全电阻网络。为求所有端口间电阻值,可在端口

j (称为主端口)设置偏压 $V_j = 1$, 其余端口设 $V_k = 0$ ($k \neq j$), 端口 j 和 k 间电阻为

$$R_{jk} = \frac{\Delta V_{jk}}{I_k} = \frac{V_j - V_k}{I_k} = \frac{1}{I_k}, \quad (2)$$

其中 I_k 为流过端口 k 的电流,其数值为

$$I_k = \int_{\Gamma_k} \sigma \frac{\partial u}{\partial n} d\Gamma, \quad (3)$$

其中: Γ_k 是端口 k 表面, σ 是电导率, u 为电势, n 为区域边界单位法向量^[6]。重复以上计算,即可得到任意端口间电阻值和整体电阻网络。

2.3 直接边界元电阻计算

一般而言,为得到三维电阻区域的电场分布,要求解区域内满足 Laplace 方程^[6]

$$\frac{\partial^2 u}{\partial x^2} + \frac{\partial^2 u}{\partial y^2} + \frac{\partial^2 u}{\partial z^2} = 0, \quad (4)$$

并在边界上满足混合边界条件的偏微分问题,其中 u 为电势。应用 Laplace 方程基本解及 Green 公式可将式(4)转化为直接边界积分方程^[6]

$$c_s u_s + \int_{\Gamma} q^* u d\Gamma = \int_{\Gamma} u^* q d\Gamma, \quad (5)$$

其中: q 为 $\partial u / \partial n$, u^* 为 Laplace 方程基本解, q^* 为 $\partial u^* / \partial n$, Γ 为区域边界。将边界离散化为若干边界元,代入边界条件,整理后即可得到

$$Ax = f, \quad (6)$$

其中: 待解向量 x 包含边界上的离散 q 和 u 变量。解线性方程组(6),通过式(3)与式(2)可得端口间电阻。

3 解析与边界元耦合算法

总体思路是,对三维多端口区域进行形体识别,将其中的导体切割成许多段,对生成的直导体段组成的简单子区域使用解析公式计算其电阻,而对其余导体段组成的复杂子区域使用改进的 BEM 计算其电阻网络,最后将各子区域电阻网络耦合得到整体区域电阻网络。

3.1 切割区域中的导体

文[11]指出,在低频电压的作用下,拐角处导体内电流分布不均匀,但在距离拐角一定距离后电流基本趋于均匀,该距离最大可定为拐角导体的一个宽度。据此提出 FULL 方案,切割的目标是,在保证精度的条件下,使得切割生成尽可能多、尽可能长的直导体,以便耦合使用解析方法,如图 3 所示。令方案中的切割线到拐角导体的距离为 d 。实验发现,当 $d = 0.5w$ (w 为拐角导体的宽度,如图 3 中导体 P_1

的宽度)时, 耦合算法的效果最好。

以下详细叙述导体切割。首先, 识别导体间界面; 其次, 收集所有的界面多边形, 做多边形并运算, 合并成数个大多边形, 每个大多边形到其中所有小多边形的距离最小为 d , 其中相邻小多边形间距小于 $2d$; 再次, 从导体上将大多边形完整地切割下来, 包含这些多边形的导体段称为拐角导体, 剩余的称为直导体。如图 3a, 设 P_1 为待切导体, P_2 到 P_8 为与 P_1 相连导体的片段, P_2 、 P_3 和 P_4 与 P_1 的界面平行于水平方向, P_5 在导体 P_1 上方, 而 P_6 和 P_7 在其下方, P_8 与 P_1 界面平行于竖直方向。令 d 为 0.5 倍 P_1 宽度(竖直方向长度), $L_1 < 2d$, $L_2 > 2d$, FULL 方案的切割结果如图 3b 所示。 P_2 、 P_3 和 P_4 在水平方向的相互距离明显小于 $2d$, 在并集运算时三者与 P_1 的界面并作一个大多边形, 相应产生一个拐角导体 N_1 ; P_5 、 P_6 和 P_7 也类似产生拐角导体 N_3 。而导体 P_8 和 P_1 界面竖直, 需在水平方向延伸 d 距离, 产生拐角导体 N_5 。导体 P_1 切割掉 N_1 、 N_3 和 N_5 后, 剩余的 N_2 和 N_4 是直导体。

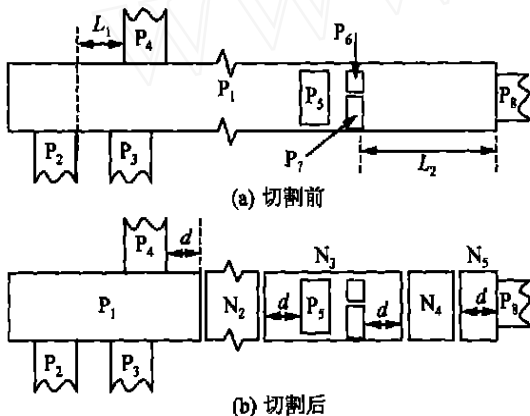


图 3 新切割方案的顶视示意图

3.2 生成简单子区域和复杂子区域

一个直导体组成一个简单子区域, 而若干相互连通的拐角导体组成一个复杂子区域。如图 3 中, 直导体 N_2 和 N_4 各自组成一个简单子区域, 而拐角导体 N_1 和 P_2 、 P_3 、 P_4 , 拐角导体 N_3 和 P_5 、 P_6 、 P_7 , 拐角导体 N_5 和 P_8 分别组成一个复杂子区域。

为方便后续计算, 原有的端口称为“初始端口”, 直导体的两端口称为“虚拟端口”, 并令虚拟端口也存在于复杂子区域中, 作为两种子区域的连接桥梁。图 4 是一实际版图结构的两种子区域, 浅色为简单子区域, 深色为复杂子区域, 为清晰可见, 初始端口都向外延伸了一个透明小块。



图 4 一实际互连结构被切割成的两种子区域

3.3 计算两种子区域的电阻

3.3.1 简单子区域

简单子区域由直导体组成, 使用解析式(1)得到其电阻, 计算精确而快速, 所耗资源几乎为零。

3.3.2 复杂子区域

复杂子区域的电阻网络使用 BEM 方法计算得到。根据电阻提取的特点, 可对 BEM 方法做一些改进, 减小问题规模或者减少边界元数量, 以提高计算效率和精度。

1) 扔掉“无用导体”。

根据电学知识, 如果一导体不在直流电流路径上, 其上无电流通过, 则该导体是一等势体, 它对数值提取计算没有有效作用, 称作“无用导体”(如图 4 所标示的右上角深色导体)。这是因为, 设有一稳恒直流电路, 其电流路径外有一无用导体, 去掉该导体对电流没有影响, 对电阻数值也没有影响。在 BEM 计算时, 将无用导体从问题区域中去除, 可减少问题规模而提高运算效率。

2) 可能时在导体表面单向划分边界元。

一般而言, 如果两个导体有界面, 直流电流垂直交界面流过; 同时, 在边界元电阻提取时, 只需在 u 和 q 有变化的电流方向上划分边界元。所以, 如果导体的一简单表面(没有与其他导体的界面)垂直于导体的某个交界面, 则该表面需要在该交界面的法线方向划分边界元。如图 5 中, 只有两个平行交界面 1 和 2 垂直于导体 B 的底面, 该底面就只需在一个方向划分边界元, 如虚线所示。

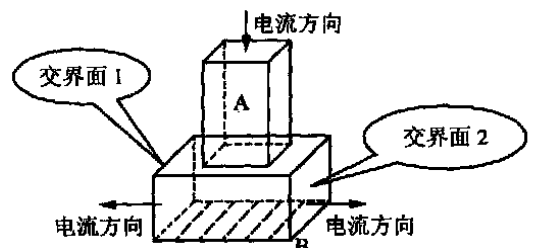


图 5 只在 B 底面上划分边界元

3.4 计算整体电阻网络

每个复杂子区域一般含有多端口, 对应的电阻网络是一个完全图 G_i , 节点对应端口(含虚拟端口), 边对应端口间电阻。而简单子区域电阻 R_j 可看作其两端虚拟端口间的一条边, 连接着不同 G_i 和初始端口。 R_j 和 G_i 共同组成了一个网 \bar{G} (图 6), 可被等价转换成整体区域的电阻网络 G 。

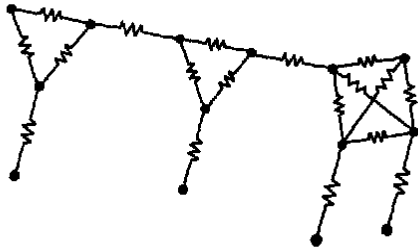


图 6 两种子区域(图 4)电阻网络组成的网

1) 设某个初始端口为主端口, 电压 1V, 其余初始端口均为从端口, 电压 0V;

2) 设有 N_s 个简单子区域, 对 \bar{G} 中对应这些子区域的每一条边设一电流变量, 共设 N_s 个变量;

3) 设有 N_c 个复杂子区域。设复杂子区域 i 等效电阻网络为完全图 G_i , 含 n_i 个端口, 其中含 \bar{n}_i 个虚拟端口, 则 G_i 含有 \bar{n}_i 个对应于虚拟端口的“虚拟节点”(如图 6 中浅色圆点所示), 含有 $n_i(n_i - 1)/2$ 条边。为 G_i 每一虚拟节点设一电压变量, 每一边设一电流变量, 总变量数 $\bar{n}_i + n_i(n_i - 1)/2$;

4) 对 \bar{G} 中对应简单子区域的 N_s 条边, 可列 N_s 个电压降方程(电压降等于流经电流乘以边上电阻), 这里需使用 1) 中所设初始端口电压;

5) 对 \bar{G} 中复杂子区域网络 G_i , 对其每个虚拟节点列出一节点电流方程, 即 Kirchhoff 电流定律; 对每边列一个电压降方程, 共得 $\bar{n}_i + n_i(n_i - 1)/2$ 个方程, 同 3) 所设变量数;

6) 求解在 4) 和 5) 中列出的方程, 可得到所设电流变量的数值;

7) 所有电流已知, 对初始端口列出节点电流方程, 求出流经电流 I_k , 由式(2)得到相应电阻。

8) 转 1), 设定不同主端口, 重复 2) 到 7), 求出所有电阻和整体区域电阻网络 G 。

该算法中的变量数一般远小于复杂子区域三维 BEM 计算的变量数, 消耗的时间很少。

3.5 耦合方法整体流程

1) 根据 FULL 切割方案, 对电阻区域中导体进行切割, 组合成数个简单子区域和复杂子区域。

2) 各简单子区域采用解析公式计算电阻。

3) 各复杂子区域使用改进的 BEM 方法求解其电阻网络。

4) 对两种子区域电阻网络, 采用 3.4 中算法等价转化得到整体电阻网络。

4 数值结果

使用文中解析与边界元耦合方法计算两个实际版图结构的电阻矩阵, 其规模分别为 $1.83 \mu\text{m} \times 2.67 \mu\text{m} \times 1.50 \mu\text{m}$ 和 $10.33 \mu\text{m} \times 9.55 \mu\text{m} \times 8.45 \mu\text{m}$, 分别含 2 层和 3 层互连线。作为对比, 又使用直接边界元方法(简称直接 BEM)和商业软件 Raphael(2000.2 版, 使用 FDM 方法)对整体电阻区域进行数值计算。运行机器 Sun Ultra Enterprise 450, 主频 248MHz, 相关数据见表 1 和表 2, 其中本文方法的网格数是几个复杂子区域边界元数之和; 对 Raphael 而言, 其网格数和运行时间是默认网格划分时的网格数和运行时间, 其误差是其默认运行结果和精确结果(Raphael 使用 2 兆差分网格运行出的电阻矩阵)之间的主对角线相对误差的绝对值最大者; 其他方法的误差意义类似。

表 1 实例 1 计算结果比较

方法	网格数	内存 MB	运行时间 s	误差 %	加速比
本文	186	0.10	0.51	0.78	1.00
直接 BEM	870	4.71	4.68	6.75	9.18
Raphael	63168	21.00	101.73	1.05	199.47

表 2 实例 2 计算结果比较

方法	网格数	内存 MB	运行时间 s	误差 %	加速比
本文	733	0.13	2.38	0.65	1.00
直接 BEM	3855	8.22	128.53	7.31	54.00
Raphael	336398	89.00	6118.76	1.58	2570.91

从表 1、2 可看出, 对这两个实例而言, 本文提出的解析与边界元耦合方法的速度比直接边界元方法提高数十倍, 比 Raphael 提高数百至数千倍; 内存使用量方面, 耦合方法是另两种方法的数十分之一到数百分之一。耦合方法占用的计算资源很少是因为需进行 BEM 计算的复杂子区域规模较小, 而简单子区域电阻求解及由各子区域电阻网络耦合得到整体网络占用的资源都很少。耦合方法的精度也远高于直接边界元方法, 误差从 6% 以上降至 0.8% 以下, 甚至比默认网格划分时的 Raphael 还要精确。同时可发现, 耦合方法对实例 2 的效果比对实例 1 好。

5 结 论

本文针对三维互连电阻提取问题, 提出解析与边界元耦合方法。它非均匀切割互连线, 使用解析公式计算产生的部分直线段的电阻, 并用边界元方法数值提取剩余线段的电阻, 最后将两者结果耦合, 得到原问题的电阻。由于大大降低了数值计算区域的规模, 缩减了内存使用量和计算时间, 提高了提取精度。

参考文献 (References)

- [1] Brown A S. Fast films [J]. *IEEE Spectrum*, 2003, **40**(2): 36~40
- [2] SUN Weikai, HONG Wei, DA I W WeiM ing. Resistance extraction using superconvergence accelerated boundary element method [A]. *Asia Pacific Microwave Conf Proc* [C]. Piscataway, NJ: IEEE, 1997. 1061~1064
- [3] KAO W H, LO Chi-Yuan, Basel M. Parasitic extraction: current state of the art and future trends [A]. *IEEE Int Sym on Circuits and System s* [C]. Piscataway, NJ: IEEE, 2001. 487~490
- [4] YU Wenjian, WANG Zeyi, GU Jiangchun. Fast capacitance extraction of actual 3-D VLSI interconnects using quasi-multiple medium accelerated BEM [J]. *IEEE Trans on Microwave Theory and Tech*, 2003, **51**(11): 109~119
- [5] 喻文健, 王泽毅. 三维多介质电容计算的有效方程组织方法 [J]. *清华大学学报(自然科学版)*, 2002, **42**(01): 72~75.
YU Wenjian, WANG Zeyi. Efficient equation organization for 3-D multi-dielectric parasitic capacitance extraction [J]. *J Tsinghua Univ (Sci and Tech)*, 2002, **42**(01): 72~75. (in Chinese)
- [6] WANG Zeyi, WU Q iming. A two-dimensional resistance simulator using the boundary element method [J]. *IEEE Trans on ComputerA ided Design of Integrated Circuits and System s*, 1992, **11**(4): 497~504
- [7] Gleg H M, Drake J M. Calculation of multiterminal resistance in integrated circuits [J]. *IEEE Trans on Circuits and System*, 1986, **33**(4): 462~465.
- [8] M itsuhashi T, Yoshida K. A resistance calculation algorithm and its application to circuit extraction [J]. *IEEE Trans on ComputerA ided Design of Integrated Circuits and System s*, 1987, **6**(3): 337~345.
- [9] McCommick S P. EXCL: A circuit extractor for IC designs [A]. *ACM IEEE 21st Design Automation Conference* [C]. New York: IEEE, 1984, 616~623
- [10] WANG Yucheng, Overhauser D, Basel M. Accurate parasitic resistance extraction for interconnection analysis [A]. *Custom Integrated Circuits Conference* [C]. Piscataway, NJ: IEEE, 1995. 255~258
- [11] Walton A J, Holwill R J, Robertson J M. Numerical simulation of resistive interconnects for integrated circuits [J]. *IEEE J Solid-State Circuits*, 1985, **20**(6): 1252~1258

(上接第 1276 页)

参考文献 (References)

- [1] Heflin J, Hendler J. A portrait of the semantic web in Action [J]. *IEEE Intelligent System*, 2001, **16**(2): 54~59.
- [2] Sure Y, Erdmann M, Angele J, et al. OntoEdit: collaborative ontology development for the semantic web [A]. *Proceedings of the First International Semantic Web Conference 2002* [C]. Berlin, Gemany: Springer-Verlag Heidelberg, 2002. 221~235.
- [3] 徐建军, 梁邦勇, 李涓子, 等. 基于本体的智能Web 服务 [J]. *计算机科学*, 2002, **29**(12): 92~94
- [4] Handschuh S, Staab S, Ciravegna F. S-CREAM: semi-automatic creation of metadata [J]. *Expert Update*, 2002, **5**(3): 20~31.
- [5] Carol J J. Unparsing RDF/XML [R]. HPL-2001-294, HP lab: HP, 2001, <http://www.hp1hp.com/techreports/2001/HPL-2001-294.pdf>, 2001.
- [6] M ladenic D. Text-learning and related intelligent agents: A survey [J]. *IEEE Intelligent System s*, 1999, **14**(4): 44~54
- XU JianJun, LIANG Bangyong, LI Juanzi, et al. The intelligent web services based on the Ontology [J]. *Chinese J Computer Science*, 2002, **29**(12): 92~94. (in Chinses)