

# 一种可适应复杂互连电容结构的 边界元形体处理方法\*

喻文健 王泽毅 王玉刚 陆涛涛 陈瑞明

(清华大学计算机科学与技术系, 北京 100084)

**摘要:** 针对当前集成电路中日益复杂的互连结构, 提出了一种边界元电容提取中的形体处理方法, 可适用于填充气隙、保形介质、多平面介质, 以及任意复杂的寄生电容结构。在该处理方法中采用多叉树组织三维形体对象, 并有效地生成区域边界表面的信息。数值实验表明, 该方法拓宽了边界元电容提取处理复杂结构的能力, 且具有较高效率。

**关键词:** 寄生电容; 复杂互连结构; 边界元法; 形体处理

**EEACC:** 2570

**中图分类号:** TN 47

**文献标识码:** A

**文章编号:** 0253-4177(2004)02-0214-07

## 1 引言

当前半导体集成电路工艺已发展到深亚微米, 并继续向纳米尺度发展。互连线间的电磁寄生效应已成为影响电路延时、功耗及可靠性等重要性能的关键因素, 必须采用有效的方法对互连电容、电阻、电感等参数进行提取。由于具有离散变量少、处理复杂形体能力强及计算精度高等特点, 边界元法已成为三维电容提取的主要方法之一<sup>[1~3]</sup>。

在边界元电容提取中, 描述介质区域内静电场的 Laplace 方程可转化为区域边界上的积分方程并求解<sup>[2,3]</sup>。通过边界离散化并采用点配置法可得到一组线性方程, 从该方程组中解出导体表面(强加边界)电场强度便可算出寄生电容<sup>[3]</sup>。边界元电容提取的主要步骤依次为: 输入版图结构、几何形体处理、边界元划分、形成方程和求解方程。上述步骤中, 边界元划分以及形成与求解方程是影响整体计算效率的关键, 而“几何形体处理”将输入的三维互连结构转化为描述各区域边界的信息, 是后续计算的基础。

这里的“区域”指均匀、各向同性的介质子区域, 其边界往往由导体表面、介质外表面和介质交界面三种构成。

近十年来, 半导体工艺不断发展, 出现了诸如填充气隙<sup>[4]</sup>、保形介质<sup>[5,6]</sup>以及铜工艺<sup>[7]</sup>中广泛采用的多平面介质(多层的 lateral oxide), 显著改善了互连质量, 有效缓解了互连效应产生的负面影响。此外, 若考虑多层保形介质<sup>[8]</sup>和通孔等, 一个互连寄生电容器中介质、导体的几何位置关系将非常复杂。边界元法的离散化过程是在区域边界上进行和完成的, 需要为之提供详细与准确的边界相关信息。因此, 用边界元法提取电容时, 有必要研究一种通用的能描述及处理复杂互连结构中任意复杂形体间位置关系的方法, 以便准确、有效地得到区域边界信息。

本文提出一种通用的边界元形体处理方法, 它采用“多叉树”结构组织所有三维形体以准确反映它们之间的空间多层次包含关系, 并通过处理任意形体之间的面相贴关系有效地得到所有区域边界数据。由于考虑了互连结构任意多面体间的空间位置关系以及它们可能出现的相贴情况, 该方法能有效

\* 国家高技术研究发展计划(No. 2002AA 1Z1460SOC)及美国Anchor Semiconductor 公司资助项目

喻文健 男, 1977 年出生, 博士, 主要从事 VLSI 互连寄生参数提取和快速边界元计算的研究

王泽毅 男, 1940 年出生, 教授, 博士生导师, 主要从事 VLSI 中的串并行数值方法研究, 包括电路分析、器件模拟及寄生参数提取

2003-02-18 收到

© 2004 中国电子学会

处理气隙、保形介质、多平面、通孔等复杂结构,并具有适应更复杂、更一般互连工艺的能力。数值实验表明本文方法能很好地处理含保形介质、多平面介质的结构,并具有较高的效率。

## 2 复杂互连结构的输入描述

三维电容提取涉及的主要形体是导体和介质(衬底可视为接地的导体)。为此,文献[9]设计了一种电容提取的输入语言 PDDL (parasitic device description language),它参考了 TMA 公司所开发的场模拟器 RAPHAEL 的输入格式 PDDL 将导体及包围它们的介质作为一个三维电学对象加以描述,其中包括几何描述和电学属性描述。几何描述语句非常简洁,例如对一个平行六面体仅需给出位置基点和三条棱向量,而电学属性则为导体上的偏压或介质的介电常数。

原始的 PDDL 只能描述平行六面体和多边形棱柱等简单几何形状,难以描述日趋复杂的互连结构。为此,本文在其基础上作了扩展,即定义了“形体组合”功能使之能描述复杂结构。具体地说,就是一个介质描述语句中可以定义多个形体的几何描述,将这些几何形体进行“合并”运算即得到一个复杂形体。经过扩展的 PDDL 能简洁地描述复杂结构,例如保形介质的描述语句如下(保形介质结构可参考文献[6]):

```
< medium >
  < block >
    基底介质块
    .....
  < /block >
    其他包含导体块的介质块
    .....
  diel  $\epsilon$     介电常数
< /medium >
```

其中 < medium > ... < /medium > 之间的语句描述一个介质对象; < block > ... < /block > 之间的语句描述一个平行六面体的几何形状; diel 是介电常数的保留字; 后为注释内容。图 1 给出了此种保形介质描述方法的示意图。

此外,多平面介质指在一个金属互连层中含有的多层薄介质(相邻薄介质的介电常数不同),是近年经常出现于铜工艺的新结构(如图 2(a)中的介质

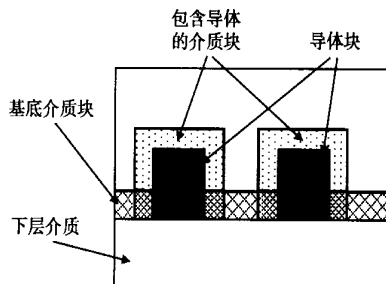


图 1 保形介质用基底介质块和包含导体介质块的组合来描述(截面图)

Fig. 1 A conformal dielectric is described as the combination of a base block and blocks involving conductors (cross-section view)

$m_7 \sim m_9$ ). 与保形介质不同,多平面介质、导体通孔等可以用多个单独的简单形状电学对象描述,不需要进行几何合并。但它们的出现使得介质多层嵌套,导体与介质的位置关系也更加复杂,大大增加了区域边界判定和生成的难度。

## 3 形体数据组织与区域边界生成

边界元法是通过在边界表面上划分边界单元进行离散化的。因此,在读入 PDDL 对象描述后,首先要生成各多面体对象的表面。对于比较规则的平行六面体、棱柱,其面的生成非常简单,而较复杂保形介质面的生成在文献[6]中已有介绍,这里不再赘述。本节讨论当得到包含所有表面数据的完整三维形体对象后,如何组织这些形体以及由它们生成所有介质区域边界数据的方法。

### 3.1 三维形体对象的多叉树组织

虽然集成电路版图中大的介质层仍然是垂直分层,但由于气隙、保形介质(乃至多层保形介质)、多平面介质等结构的引入,寄生电容器中形体之间已不是简单的介质嵌套导体的关系,若沿用简单的介质链表、导体链表来组织,将不便于后续的处理。考虑到介质之间以及介质与导体的多层包含关系,我们采用了多叉树组织所有三维形体对象。图 2(a)为一个典型复杂互连结构的截面图,图 2(b)则为对应的形体多叉树组织。在此寄生电容器中,垂直方向包含了 4 层大介质,与第一层大介质  $m_{10}$  相贴的最底下导体块是衬底,第二层含多平面介质  $m_7 \sim m_9$ ,第三层有两层保形介质  $m_4$  和  $m_5$ ,第四层则包含有气

隙  $m_1$ , 此外还有一些互连导体 ( $c_1 \sim c_9$ ).

在上述多叉树中, 除根结点外的每个结点存放一个三维导体或介质对象, 双亲结点对孩子结点是三维空间的直接包含关系. 我们约定, 正确输入的介质形体之间只有“分离”和“包含”两种关系, 不会相互交叠, 因此多叉树可准确地反映出它们之间的相互关系. 读入 PDDL 数据后可能还需将一块导体切成若干块, 以使每块只被一个介质包含 (例如图 2

(a) 中第二层的导体被切成三块). 这样, 经过适当切割每个导体对象即可在树中找到合适的位置. 由此可见, 这种多叉树结构可描述任意复杂的介质、导体的位置关系, 具有很好的通用性.

此外, 可对介质、导体的输入顺序作适当规定 (比如被包含的介质或导体输入在后, 而包含它们的介质输入在前), 这样可减少对象间包含关系的判断, 简化多叉树构造过程.

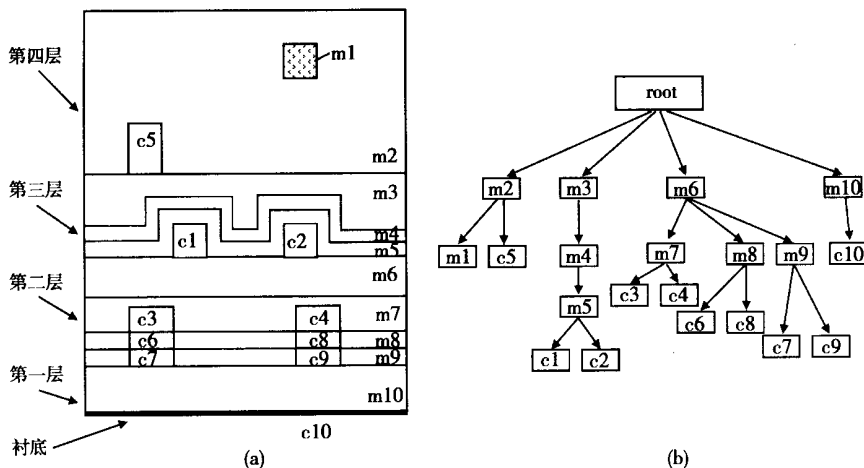


图 2 一个典型的复杂寄生电容器 (a) 及其三维形体的多叉树组织 (b)

Fig. 2 A typical complex interconnect capacitor (a) and its multiple tree organization (b)

### 3.2 介质区域边界面数据的生成

区域边界由导体表面、介质外表面和介质界面三种类型的面构成 (如图 3 所示, 其中, 介电常数为  $\epsilon$  的介质区域边界用粗线勾勒出). 各个三维形体 (导体、介质) 的面数据已经生成, 但由于介质之间、导体之间以及导体与介质之间存在的种种“相贴”关系 (如图 4 所示), 需要生成新的表面, 或在原有的表面中除去某些部分才能准确得到区域边界的数据. 此外, 为后续计算方便, 还需区分区域边界类型, 并给出相关介质区域的编号. 下面首先分析如何处理各种形体相贴的情况, 然后给出区域边界数据的生成算法.

介质形体面的初始属性是介质外表面, 但若在该面上与导体面相贴, 则该面或其中一部分将改变属性成为导体表面; 若该介质面为与另一介质的交界面, 则其属性应设置为介质交界面. 同时, 导体与导体的“相贴”将导致一部分导体表面不构成介质区域的边界, 我们称其为“无效表面”. 因此, 应详细考虑发生相贴关系的各种形体类型、相贴面的大小等

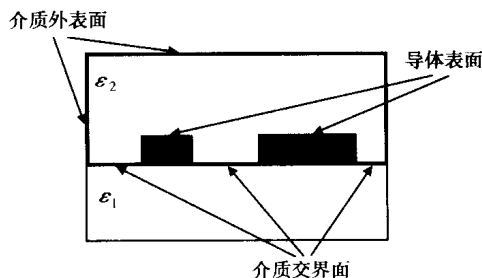


图 3 寄生电容器示意图及介质区域边界的构成 (截面图)  
Fig. 3 A capacitor with two dielectrics and the boundary of one dielectric subregion (with bold outline)

因素并作处理, 才能从形体面数据中保留有效部分以作为区域边界, 并设置正确的相关表面属性. 下面分析所有可能的形体相贴关系, 如图 4 所示, 并作具体处理如下:

(1) 介质之间的相贴关系 (图 4(a) ~ (d))

若介质 1 包含介质 2, 如图 4(a) 所示. 将介质 2 的表面  $S_2$  作为内孔加入介质 1 的表面  $S_1$  中; 介质 2 除  $S_2$  之外的其他面设为介质交界面, 且另一相关

介质区域编号为介质 1 的编号; 若面  $S_1$  为介质界面, 则将其另一相关介质区域号赋予介质界面  $S_2$

若介质 1, 2 互不包含, 而相贴面  $S_2$  被  $S_1$  包含如图 4(b) 所示 将介质 2 的面  $S_2$  作为内孔加入介质 1 的面  $S_1$  中; 介质 2 的面  $S_2$  设为介质界面, 且另一相关介质区域编号为介质 1 的编号

若介质 1, 2 互不包含, 而相贴面  $S_1, S_2$  完全重合, 如图 4(c) 所示 介质 1 的面  $S_1$  设为无效面; 介质 2 的面  $S_2$  设为介质界面, 且另一相关介质区域号为介质 1 的编号

若介质 1, 2 互不包含, 且相贴面  $S_1, S_2$  互不包含, 如图 4(d) 所示 先计算面  $S_1, S_2$  的重叠部分  $S_I$ ; 将  $S_I$  作为内孔分别加入面  $S_1, S_2$ ;  $S_I$  作为单独的面加入介质 2 的面链表; 设介质 2 的面  $S_I$  为介质界面, 且相关介质区域编号为介质 1 的编号

### (2) 介质与导体的相贴关系(图 4(e)~ (i))

若介质 1 包含导体 2, 如图 4(e) 所示 导体 2 的面  $S_2$  作为内孔加入介质 1 的面  $S_1$  中; 导体 2 除面  $S_2$  之外的其他面的相关介质区域编号为介质 1 的

编号; 若面  $S_1$  为介质界面, 则将其另一相关介质区域号赋予面  $S_2$  的相关介质区域号, 否则(面  $S_1$  为外边界)  $S_2$  设为无效面

若导体 2 不含于介质 1 中, 且相贴面  $S_2$  被  $S_1$  包含, 如图 4(f) 所示 导体 2 的面  $S_2$  作为内孔加入介质 1 的面  $S_1$  中; 面  $S_2$  的相关介质区域号为介质 1 的编号

若导体 2 不含于介质 1 中, 且相贴面  $S_2$  与  $S_1$  完全重合, 如图 4(g) 所示 介质面  $S_1$  设为无效面; 面  $S_2$  的相关介质区域号为介质 1 的编号

若导体 2 不含于介质 1 中, 且相贴面  $S_1$  被  $S_2$  包含, 如图 4(h) 所示 介质 1 的面  $S_1$  作为内孔加入导体 2 的面  $S_2$  中; 面  $S_1$  作为一个新面加入导体 2 的面链表; 介质的面  $S_1$  设为无效面; 导体的  $S_1$  面的相关介质区域号为介质 1 的编号

若导体 2 不含于介质 1 中, 且相贴面  $S_1, S_2$  互不包含, 如图 4(i) 所示 先计算面  $S_1, S_2$  的重叠部分  $S_I$ ; 将  $S_I$  作为内孔分别加入面  $S_1, S_2$ ;  $S_I$  作为单独的面加入导体 2 的面链表; 导体 2 的面  $S_I$  的相关介质区域号为介质 1 的编号

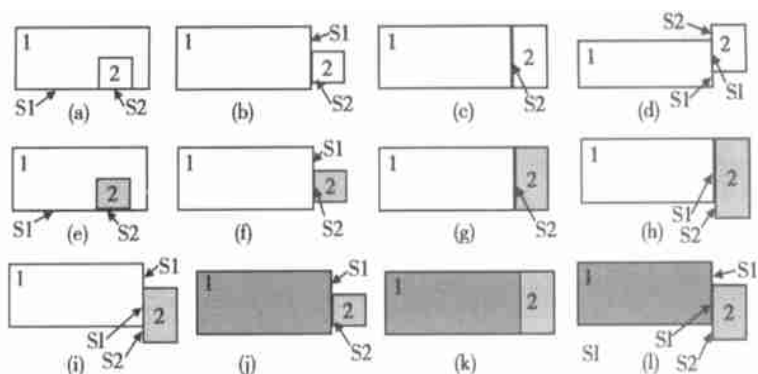


图 4 各种介质与介质((a)~ (d))、介质与导体((e)~ (i))、导体与导体((j)~ (l))之间的各种相贴关系 空白块为介质, 灰块为导体

Fig. 4 All possible touching relationships between dielectrics ((a)~ (d)), between dielectric and conductor ((e)~ (i)), and between conductors ((j)~ (l))

### (3) 导体之间的相贴关系(图 4(j)~ (l))

电容计算中不存在导体块的形体包含关系 面的相贴关系可处理如下:

若导体 1, 2 相贴, 且相贴面  $S_2$  被  $S_1$  包含, 如图 4(j) 所示 面  $S_2$  作为内孔加入面  $S_1$ ; 面  $S_2$  设为无效面

若导体 1, 2 相贴, 且相贴面完全重合, 如图 4(k) 所示 两相贴面均设为无效面

若导体 1, 2 相贴, 且相贴面  $S_1, S_2$  互不包含, 如图 4(l) 所示 先计算面  $S_1, S_2$  的重叠部分  $S_I$ , 再将  $S_I$  作为内孔分别加入面  $S_1, S_2$

由于介质界面会在两个形体的面数据中出现, 为避免数据冗余可将其中一个面设为无效面 而与介质界面相关的两个介质区域, 一个是其面数据所在介质的编号, 另一个则用“另一相关介质区域号”来表示

通过上述分析可以看出,只要判断出形体的各种相贴关系并作相应处理,则各形体数据中保留的有效面便构成了完整的区域边界面(区域号由相关介质区域号标识)。当然,判断并处理形体的相贴关系也应遵循一定的顺序,才能保证区域边界数据和属性的正确生成。本文首先判断并处理介质之间的相贴关系,然后处理介质与导体之间的相贴关系,最后处理导体之间的相贴关系。以多叉树形体组织为基础,上述三个形体相贴分析过程的算法依次如下。

算法 1: 处理介质间的相贴关系 Process Media (root)

```

孩子结点中介质对象间两两判断相贴关系并处理;
For (所有孩子结点 i)
  For (所有孩子结点 j)
    For (结点 j 的所有子孙结点 k)
      If (结点 i, k 都存储介质对象)
        判断结点 i, k 对象的相贴关系并处理;
      End If
    End For
  End For
End For
For (所有孩子结点 i)
  ProcessMedia(结点 i); 对子树递归调用
End For

```

算法 2: 处理介质与导体的相贴关系 Process MedCon (root)

```

孩子结点中介质导体间两两判断相贴关系并处理;
For (所有孩子结点 i)
  For (所有孩子结点 j)
    For (结点 j 的所有子孙结点 k)
      If (结点 i 和结点 k 分别存储介质和导体)
        判断结点 i, k 对象的相贴关系并处理;
      End If
    End For
  End For
End For
For (所有孩子结点 i)
  ProcessMedCon(结点 i); 对子树递归调用
End For

```

算法 3: 处理导体间的相贴关系 Process Con (root)

```

孩子结点中导体间两两判断相贴关系并处理;
For (所有孩子结点 i)
  ProcessCon(结点 i); 对子树递归调用
End For

```

在上述算法中,根据导体不可能是任何结点的双亲结点这一性质,可使判断相贴情况的处理得以

简化。此外,若非兄弟结点关系的导体 1 与导体 2 相贴,则它们的相贴面必定在介质的交界面。因此,算法 2 处理导体 2 与对应介质交界面相贴关系时可同时对它与导体 1 的相贴情况进行处理(可通过介质交界面上的内孔找到导体 1)。这样,算法 3 只需判断兄弟结点中导体间相贴关系即可,程序得到了简化。

## 4 数值结果

本文形体处理方法已实现于边界元电容提取软件 QBEM 中。为表明本方法的实用性和效率,我们用 QBEM 对一些复杂电容结构进行了计算,并将结果与著名寄生参数提取软件 RA PHA EL 作了比较。所有计算均在 Sun Ultra V 880 上进行,其主频 750 MHz。

首先,我们构造了一个含填充气隙、多平面介质和保形介质的复杂寄生电容器,如图 5 所示,长度单位均为  $\mu\text{m}$ 。其中,第二层含有多平面介质(两薄介质的介电常数分别为 4.7 和 4.2,高度分别为 0.9 和 1.1),多平面介质中含有三根平行长导线,导线

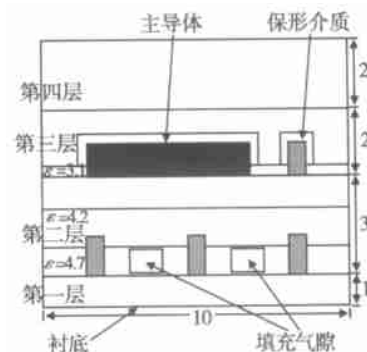


图 5 算例 1: 一个含气隙、多平面介质、保形介质的复杂寄生电容器的截面图。黑块为主导体,灰块为环境导体。

Fig 5 Case 1: a complex capacitor structure involving air gaps, multiplane and conformal dielectrics. The black block is master, and grey ones are environment conductors.

之间嵌有填充气隙(介电常数为 1.0,尺寸为  $1 \times 1 \times 0.7$ )。第三层含保形介质,其中有四块导体(包括主导体),保形介质的介电常数设为 3.1,覆盖厚度为 0.3。除上述已指明的,其他介质的介电常数均为 3.9,而导体线宽均为 0.6,高度均为 1。图 6 所示为第二、三层的俯视图,从中可以看出导体的具体形状

和位置。其次,我们计算了一批来自实际版图的带保形介质的算例,这批例子含 6 层大介质,保形介质位

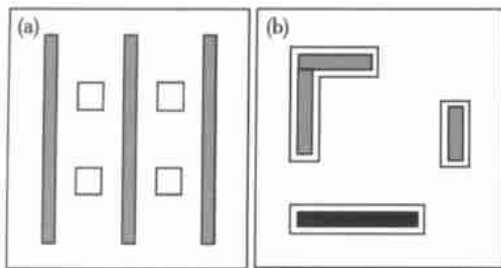


图 6 算例 1 的俯视图 (a) 第二层; (b) 第三层

Fig 6 Planform of the case 1 (a) Layer 2; (b) Layer 3

表 1 QBEM 计算复杂互连电容的结果以及与 RA PHA EL 的比较

Table 1 Comparison between QBEM and RA PHA EL for complex capacitor structures

算例	导体数	QBEM 计算结果				RA PHA EL 计算结果		
		$t_p/s$	电容值/ $10^{-18}F$	计算时间/s	误差/%	网格数	电容值/ $10^{-18}F$	计算时间/s
算例 1	7	0.01	512	11.6	-1.9	$0.9 \times 10^6$	522	365.3
1l_bem	72	0.24	644	58.7	-1.1	$3 \times 10^6$	651	2966.4
5_bem	48	0.06	217	31.6	0.9	$1.3 \times 10^6$	215	1554.4

注: 算例 1l\_bem 和 5\_bem 均含有斜导体, 即某些导体在  $xoy$  平面投影中含 45 斜线;  $t_p$  为本文方法组织形体和生成边界的运行时间

从表 1 数据可以看出, 组织形体和生成区域边界的时间与整个边界元电容提取时间相比可以忽略。以 RA PHA EL 在稠密网格下计算结果为标准, 边界元电容提取计算复杂结构时有很好的精度, 而速度上有几十倍的提高。

## 5 结论

本文针对日趋复杂的集成电路互连结构的电容提取问题, 提出一种可适应任意复杂互连结构的边界元形体处理方法。通过采用多叉数组织形体数据及有效的介质区域边界生成方法, 可准确、高效地将输入的三维形体数据转变为可作边界元划分的区域边界数据, 从而使边界元电容提取得以顺利进行。由于考虑了导体介质间的任意空间位置关系, 本方法具有极大的通用性。数值结果验证了本方法的处理能力, 并表明其具有较高的效率。

## 参考文献

[1] Lu Taotao, Wang Guanghui, Hou Jinsong, et al Hierarchical h-adaptive computation in VLSI 3-D capacitance extraction. Chinese Journal of Semiconductors, 2002, 23(5): 543 (in Chinese) [陆涛涛, 王光辉, 侯劲松, 等 VLSI 三维寄生电容提取

于第二、三层中。所有计算例子中都已指定主导体 (偏压为 1V), 因此, 电容提取的结果为主导体与其他环境导体 (偏压为 0V) 之间的总电容。

对自行构造的复杂结构 (算例 1) 和含保形介质的的大批实例, QBEM 都准确地生成了区域边界数据并最终算出了很好的结果, 这表明本文的边界元形体处理方法是可行的, 能较好地处理各种复杂结构。此外, 将 RA PHA EL 在稠密网格下的计算结果作为标准, 比较了 QBEM 的计算精度。表 1 列出了对算例 1 以及两个带保形结构实际算例的有关计算结果。

的层次式 h-自适应计算. 半导体学报, 2002, 23(5): 543]

[2] Nabors K, White J. Multipole-accelerated capacitance extraction algorithms for 3-D structures with multiple dielectrics. IEEE Trans Circuits Syst, 1992, 39(11): 946

[3] Yu Wenjian, Wang Zeyi, Gu Jiangchun. Fast capacitance extraction of actual 3-D VLSI interconnects using quasimultipole medium accelerated BEM. IEEE Trans Microw Theory Tech, 2003, 51(1): 109

[4] Shieh B, Saraswat K C, McVittie J P, et al Air-gap formation during MD deposition to lower interconnect capacitance. IEEE Electron Device Lett, 1998, 19(1): 16

[5] Park M, Yu H K, Koo J G, et al High-quality conformal silicon oxide films prepared by multi-step sputtering PECVD and chemical mechanical polishing. J Electron Mater, 1998, 27(11): 1262

[6] Lu Taotao, Yu Wenjian, Wang Zeyi. BEM simulation for conformal dielectric interconnect capacitance. Journal of Computer-Aided Design & Computer Graphics, 2001, 13(8): 684 (in Chinese) [陆涛涛, 喻文健, 王泽毅. 保形 (Conformal) 结构互连电容的 BEM 模拟. 计算机辅助设计与图形学学报, 2001, 13(8): 684]

[7] Zhang Zhaoqiang, Zheng Guoxiang, Huang Rongxu, et al Application of copper interconnect and damascene technology in deep submicron IC. Research & Progress of Solid State Electronics, 2001, 21(4): 407 (in Chinese) [张兆强, 郑国祥, 黄裕旭, 等. 铜互连布线及其镶嵌技术在深亚微米 IC 工艺中的应用. 固体电子学研究与进展, 2001, 21(4): 407]

[8] Lee J H, Lee K H, Park J K, et al An indirect extraction of in-

terconnect technology parameters for efficient statistical interconnect modeling and its applications The 5th International Workshop on Statistical Metrology, Hawaii USA, June 2000: 38

[ 9 ] Xue Jing, Wang Zeyi, Yuan Yanhong. A 2/3-D parasitic de-

vice description language in the VLSI circuit Microelectronics & Computer, 1995, supplement: 81 (in Chinese) [薛京, 王泽毅, 元彦宏. VLSI 电路 2/3-D 寄生器件描述语言. 微电子学与计算机, 1995, 增刊: 81]

## An Efficient Boundary Generation Method for Arbitrary Complex Structures in Parasitic Capacitance Extraction \*

Yu Wenjian, Wang Zeyi, Wang Yugang, Lu Tao and Chen Ruiming

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

**Abstract** For the complex interconnect structures in the integrated circuits, an efficient method is proposed to process the geometric objects in the capacitance extraction using the boundary element method. In the method, a multiple tree is used to store the three-dimensional objects, and the boundaries of medium regions are efficiently generated. Because of the advantage of the data organization and boundary generation algorithm, the BEM becomes capable of handling the complex capacitor with structures including an air gap, conformal dielectric, multi-plane dielectric, and even arbitrary complex structures. Numerical experiment reveals that this method greatly extends the ability of the boundary element method for handling complex structure, and it is also of high efficiency.

**Key words** parasitic capacitance; complex interconnect structure; boundary element method; geometry processing

**EEACC:** 2570

**Article ID:** 0253-4177(2004)02-0214-07

\* Project supported by National High Technology Research and Development Program of China (No. 2002AA1Z1460SOC), Anchor Semiconductor of America

Yu Wenjian male, was born in 1977, PhD. His main research interests are the parasitic parameter extraction in VLSICAD and the application of fast BEM computation.

Wang Zeyi male, was born in 1940, professor. His main research interests are the applications and research of numerical methods in the areas such as circuit analysis, device simulation and parasitic parameter extraction in VLSICAD.

Received 18 February 2003

© 2004 The Chinese Institute of Electronics