

基于 K 参数思想的快速三维互连电感电阻提取算法

魏洪川, 喻文健, 杨 柳, 王泽毅

(清华大学计算机科学与技术系, 北京 100084)

摘 要: 在 GHz 以上高频集成电路中, 电感寄生效应已严重影响了电路性能, 必须研究有效的算法提取互连电感电阻. 本文基于 K 参数 (电感矩阵的逆) 较好的局部化特性, 提出适应高频情况的互连电感电阻提取算法. 通过采用有效的窗口选择技术和导体细丝划分, 以及在细丝电感计算复用和导纳矩阵求逆两方面的改进, 本文算法可有效处理复杂的多层互连结构, 在保持较好精度的情况下, 计算速度比 FastHenry 快上百倍.

关键词: 三维互连; 电感电阻提取; K 参数; 高频率; 窗口技术

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112 (2005) 08-1365-05

Fast Inductance and Resistance Extraction of 3-D VLSI Interconnects Based on the Method of K Element

WEI Hong-chuan, YU Wen-jian, YANG Liu, WANG Ze-yi

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

Abstract: In the integrated circuits with frequency above several GHz, parasitic inductive effect has greatly influenced the circuit performance, therefore requiring efficient algorithm for extraction of frequency-dependent inductance and resistance. Based on good localization property of the K element (inverse of the partial inductance method), a fast algorithm for interconnect inductance and resistance extraction is proposed in this paper. With an efficient window selection technique, filament partitioning, and two improvements on calculating filament inductance and inverting the global admittance matrix, complex structures of multilayered interconnects can be handled very well. While preserving good accuracy, the presented method exhibits about 100x speed-up over the FastHenry for some actual examples.

Key words: 3-D VLSI interconnect; extraction of inductance and resistance; K element; high frequency; the window technique

1 引言

当前的超大规模集成电路已采用超深亚微米制造工艺, 工作频率达到了数 GHz. 随着特征尺寸的减小、信号频率的升高, 以及铜工艺、low- k 介质等减小互连电阻电容措施的采用, 片上电感寄生效应日益突出, 尤其对电源地线、时钟网络的性能影响重大^[1,2].

片上电感提取的难点主要是无法确定回路, 以及电感的长程耦合效应. 为解决回路不确定的问题, Ruehli 提出了著名的 PEEC (partial element equivalent circuit) 模型^[3], 其中采用了部分电感概念, 并假设回路在无限远处. 在 PEEC 模型中, 由于任意两导体间均有耦合作用, 必须计算稠密的部分电感矩阵. 虽然远距离的耦合项可能很小, 但直接舍弃它会使电感矩阵丧失正定性, 导致电路模拟时的不稳定^[4].

为提高电感提取的效率和保证模拟的稳定性, 各种稀疏化电感矩阵的方法成为近年来研究的热点. 一些算法将电

回路限制在较小局部范围, 以减少导体间耦合, 降低计算量. 块对角元方法^[5]和 Halo 方法^[6]都是将电流回路限制在电源地线附近以达到减少互感数量的目的. Shell 稀疏化技术^[7]将环绕在导体周围的一个等位壳 (shell) 视为回路, 等位壳内的导体与外部导体之间的互感为零. 这些方法虽然减小了计算规模, 但它们将电流回路局限在一个小范围内的假设往往使精度有相当损失^[8].

与上述限制回路的方法不同, Devgan 等人在 2000 年引入 K 参数的概念以提高电感提取的效率^[9,10]. K 参数矩阵是部分电感矩阵的逆, 它具有类似于电容的良好局部化特性, 因此便于对它进行稀疏化以及进行稳定性的电路模拟^[10]. 此后, 文[11]提出基于 K 参数的双重求逆算法, 通过再次求逆得到部分电感矩阵以满足一般的电路模拟器的需要. 2002 年, 针对较一般的互连结构, 文[8]基于 K 参数提出了一种窗口选择算法和稳定的 RKC 电路模拟方法.

应当指出, 上述电感提取算法均未考虑高频下的趋肤效

收稿日期: 2004-11-22; 修回日期: 2005-01-27

基金项目: 国家 863 高技术研究发展计划 (No. 2004AA1Z1050); 国家自然科学基金 (No. 90407004)

和邻近效应,同时所处理的互连线也多为平行总线等简单结构,即使是文[8]也仅对同一个平面分布的互连线进行了讨论.本文将 K 参数方法的思想扩展到高频下电阻电感的提取,通过细丝划分完全考虑了趋肤效应和邻近效应.此外,对于一般的含斜线多层互连线结构,我们提出三维的窗口选择算法,并对细丝电感计算复用和导纳矩阵求逆进行了改进.数值实验表明,在保持较好计算精度的同时,本文算法对于 MIT 的著名软件原型 FastHenry^[12] 有几十甚至上百倍的加速.

2 基于 K 参数思想的电感电阻提取方法

2.1 K 参数提取方法

对于一个部分电感矩阵 L , K 参数矩阵为 L 矩阵的逆^[9]:

$$K = L^{-1} \quad (1)$$

该定义最初是受传输线方程中电容和回路电感矩阵的关系式 $L_{loop} = \mu_0 \circ C_0^{-1}$ 所启发^[9]. 后续的研究表明, K 矩阵具有与电容矩阵类似的良好局部性,忽略两块相隔较远导体之间的 K 参数不会带来大的精度损失.同时,稀疏化的 K 矩阵还能够保持对角占优和对称正定的特性,从而保证电路模拟的稳定性^[8-11].

基于 K 参数的提取算法一般包括如下步骤:

(a) 对每块导体 i , 我们将它和与其相距较近(相互作用较强)的少量导体组成一个窗口 W_i ;

(b) 计算窗口 W_i 内所有导体的部分电感矩阵 L_i , 然后以它为系数矩阵求解一次方程组得到导体 i 与窗口 W_i 内各导体的 K 参数, 导体 i 与窗口外导体间的 K 参数视为零.

(c) 对所有导体执行步骤 (a), (b), 将这些耦合 K 值组成一个稀疏的整体 K 参数矩阵.

在得到稀疏的 K 矩阵后,可以不再求电感而直接进行电路模拟,但这需要有高效率的处理 RKC 参数的电路模拟算法^[10]. 由于目前通用的电路模拟软件还是基于 RLC 参数的,因此可在得到全局 K 矩阵后再次求逆得到部分电感矩阵^[11]. 此外,对于一般的多层互连结构,研究能保持较好计算精度的有效窗口选择算法(步骤 (a)) 是关键.

2.2 考虑趋肤效应的电感电阻提取

在高频情况下,导体趋肤效应和邻近效应必须考虑.这时需将导体沿电流方向细分为若干细丝(filament),假定细丝内电流均匀.在给各导体两端设置交流偏压后,用 PEEC 模型可求解出各导体上的电流,从而得到导体的导纳 Y 参数.多次设偏压并计算得到导纳矩阵后,再次求逆便得到阻抗矩阵 Z . Z 矩阵中元素均为复数,其实部为电阻值,虚部为电感值^[12]. MIT 开发的 FastHenry 软件便采用上述计算模型,同时采用多极加速算法有效地计算高频电感和电阻^[12].

由于阻抗 $Z = R + jL$, 在高频下虚数部分占主导地位,因此可近似认为 $K = L^{-1}$ 的良好局部化特质对 $Y = Z^{-1}$ 也适用.这样,基于 K 参数方法的思想,我们提出高频下的电感电阻提取算法.主要步骤如下:

(a) 对导体 i , 我们将它和与其相距较近(相互作用较强)的少量导体组成一个窗口 W_i ;

(b) 对 W_i 内的每根导体划分足够数量的细丝,计算窗口

内细丝间阻抗矩阵 Z_f ;

(c) 令导体 i 两端偏压为 1V, 其余导体上偏压为 0V, 建立细丝电压向量 V_f ;

(d) 求解方程 $Z_f \cdot I_f = V_f$, 得到细丝电流向量 I_f ;

(e) 将 I_f 中属于同一块导体的细丝电流叠加,得到导体电流向量 I_c . I_c 包含了导体 i 与窗口 W_i 内各导体的 Y 参数(导纳);

(f) 将 I_c 的内容填入整个导体系统的 Y 矩阵 Y_{all} 中, 导体 i 与窗口外导体间的 Y 参数视为零;

(g) 依次对每一导体执行步骤 (a) ~ (f), 则得到整个导体系统的稀疏矩阵 Y_{all} ;

(h) 对 Y_{all} 矩阵求逆,可以得到导体阻抗矩阵 $Z_{all} = Y_{all}^{-1}$. 将阻抗矩阵 Z_{all} 中元素的实部和虚部分离,则得到高频下互连电阻和互连电感.由于上述过程仅对小窗口内导体细丝构造方程并求解,因此计算量得到大大的减少.同时由于 Y 参数有类似 K 参数的良好局部化特性,使得计算误差得到控制.下面,我们先对步骤 (a) 中的窗口选择算法进行详细说明,然后提出两项改进提高步骤 (b) 构造细丝间阻抗矩阵和步骤 (h) 导纳矩阵求逆的计算效率.

3 三维窗口选择方法

在上述算法中,若不考虑导体离散化带来的误差,精度损失主要来源于窗口选择.因此,如何选定耦合窗口成为保证本文算法精度的关键.较大的窗口可以得到精度较高的结果,但会使计算时间急剧增加;较小的窗口虽然使计算速度提高,但计算精度又会受到很大影响.文[8]提出一种基于导体屏蔽思想的窗口选定算法,但只适用于简单的导体平面分布,对复杂的三维导体结构就失去有效性.本文基于该方法的一些定义和思想,提出一种同时考虑导体屏蔽和导体距离的窗口选择方法,可适用于复杂的三维多层互连结构.

选择导体窗口的工作,实际就是确定一些与当前导体耦合紧密的导体.我们将当前导体称为主导体,其他导体为环境导体,通过采用某种方法确定环境导体与主导体的耦合级别(级别越低,耦合作用越强).在指定一个最大耦合级别后,那些小于最大耦合级别的环境导体以及主导体本身,就构成了主导体的耦合窗口.

下面以图 1 为例说明耦合级别确定算法.

图 1 的上半部分是导体结构沿 Y 轴方向的视图,下半部分是在 XOY 平面的投影.标记为灰色的导体是主导体,导体 a 、 b 、 c 、 d 为环境导体.在 XOY 平面上,按文[8]的方法,我们设定一个比例因子 x , 将主导体两端扩展比例 x , 再沿 x 轴方向延长至

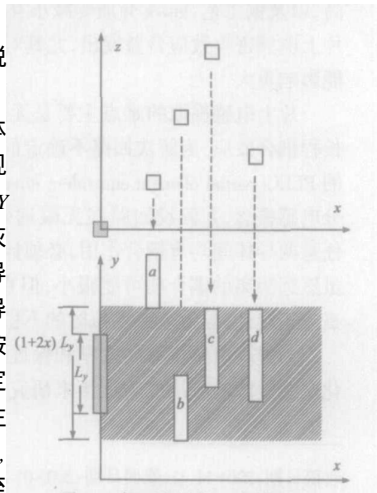


图 1 窗口选择的一个例子

无限远处得到的长方形区域称为有效搜索范围(图中阴影区域),通过考虑有效搜索范围内导体的屏蔽关系和导体的三维空间距离可确定它们的耦合级别.适应一般三维导体分布的窗口选择算法的主要步骤如下:

(a)将每根导体分别在 XOY , YOZ 和 ZOX 平面上投影,如果某根导体垂直于坐标面,则忽略其投影点.以下用 i_{xy} 表示导体 i 在 XOY 平面上的投影.

(b)将 XOY 平面上的导体投影分别按中心点的 X 、 Y 坐标值排序,在两个方向各得到一个导体投影序列.在 YOZ 和 ZOX 平面进行同样的操作,总共可得到 6 个有序的导体投影序列.

(c)对 XOY 平面内沿 X 方向的导体投影序列,从左至右依次设导体 i 为主导体,并对导体投影做如下操作:

(i)令 $j = i + 1$,则 j_{xy} 是 i_{xy} 右侧第一根导体投影;

(ii)如果 j_{xy} 不在 i_{xy} 的有效搜索区域内,或 j_{xy} 已经确定了与 i_{xy} 的耦合级别,则令 $j = j + 1$,重复本步;

(iii)如果在 j_{xy} 右侧存在没有确定耦合级别的投影 k_{xy} ,而 k_{xy} 处于 i_{xy} 的有效搜索区域内,且导体 k 与 i 中心点的距离小于导体 j 与 i 的中心点距离,则令 $j = k$,重复本步;

(iv)考察 j_{xy} 被多少个已确定耦合级别的导体投影所屏蔽(即考察它处于多少个 i_{xy} 右侧已确定耦合级别的导体投影的搜索范围内,投影的搜索范围指它沿 x 方向左右平移所能扫过的区域),则记 j_{xy} 与 i_{xy} 的耦合级别为 $\min\{j_{xy}\}$ 屏蔽导体的数目 $+ 1$.由于屏蔽 j_{xy} 不同部分的导体投影数目可能不同,这里取最小值;

(v)重复 (i) ~ (iv) 步操作,直到 i_{xy} 右侧所有导体投影均被处理.

由于对称性, i_{xy} 左侧某块导体 s_{xy} 对 i_{xy} 的耦合级别等于导体 i_{xy} 对 s_{xy} 的耦合级别,而前者已在较早被确定.

(d)对其余 5 个导体序列可类似地作步骤 (c) 的操作.对任意导体 i, j ,取它们在各个投影序列中所得到的耦合级别的最小值作为它们的最终耦合级别.

在图 1 的 XOY 平面投影中,首先处理导体 a ,由于它不在主导体的有效搜索范围内,因此跳过(可认为耦合级别无穷大);然后处理导体 b ,按上述步骤 (iv) 可以确定它的耦合级别为 1;处理导体 c 时,由于它右侧导体 d 和主导体的距离小于 c 和主导体的距离(中心点间的三维距离),因此跳过 c ,先处理导体 d ,将导体 d 的耦合级别定为 1;最后再次处理导体 c ,它的上半段处于导体 d 的搜索范围内,下半段处于导体 b 和 d 的搜索范围内,因此将导体 c 的耦合级别定为 2.

4 两项改进算法

4.1 对细丝阻抗计算复用的改进

在高频情况下,为考虑趋肤效应和邻近效应的影响,每根导体都沿电流方向划分为若干细丝.为了得到窗口内细丝间的阻抗矩阵 Z ,需要计算各细丝间的互感,公式如下^[10]:

$$L_{ij} = \frac{\mu}{4} \frac{1}{a_i a_j} \frac{1}{V_i V_j} \int_{r_i} \int_{r_j} \frac{1}{r_i - r_j} dV_i dV_j \quad (2)$$

其中, V_i 和 V_j 是细丝 i 和 j 的体积, a_i 和 a_j 是细丝截面积,向

量 l_i 和 l_j 是电流方向单位向量, r_i 和 r_j 分别是细丝 i 和细丝 j 内任意点的矢量.

在本文方法中,互相耦合的导体 A 与 B 至少同处于两个窗口之中,因此两次构造细丝阻抗矩阵所需的导体 A 和 B 细丝间互感只需计算一次.根据公式 (2),如果导体 A, B 的

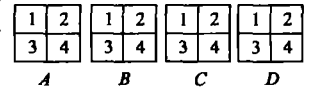


图 2 导体对 AB 和导体对 CD 形状和位置关系均相同(截面图)

几何尺寸分别和导体 C, D 的相同,且 A, B 的空间相对位置关系也和 C, D 的完全一样,则它们对应位置的细丝互感一定也相同(如图 2).这里假设导体 A, B 的细丝划分分别和导体 C, D 的一致.如果充分利用这种对称性,则可大大减少细丝互感的直接计算,提高总体效率.

在 FastHenry 中已经考虑了上述思想,它采用 9 个参数来记录细丝对的相关信息,其中 6 个为两根细丝的长宽高,另外 3 个表示两细丝中心点间的连线矢量.当计算一对相互平行细丝互阻抗的时候,如果能找到另一对平行细丝,上述 9 个参数完全一致,且其互阻抗已计算,则可直接利用.这样以上述 9 个参数为索引可以构造一张已计算互阻抗的表,在计算细丝互阻抗时先查表,当发现表中不存在时才用公式 (2) 计算.

上述方法虽然很有效,但还不够完善.首先,它直接用细丝的参数构造表,查表效率不高.其次,它仅能处理互相平行的细丝对,对非平行导体情况下的计算复用则未考虑.最后,它以两细丝中心点间的连线矢量作为匹配的的必要条件,过于苛刻.例如图 3 中,导体 $D1, D2, D3, D4$ 形状相同且相对于导体 C 的中心为旋转对称关系,它们在截面上均划分了 2×2 个细丝.根据公式 (2),只需计算导体 C 和导体 $D1$ 之间各细丝对的互感,而它与 $D2, D3, D4$ 之间的细丝互感均可查表(例如图 3 中用四种阴影标记的四对细丝).显然在该例子中,细丝对中心连线矢量并不相等,只是其模相等且旋转对称.

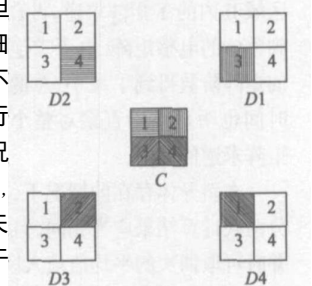


图 3 五个导体的截面图,其中 $D1-D4$ 形状相同且关于导体 C 中心对称

本文对上述细丝阻抗的查表计算进行了改进.首先,将导体对的参数作为匹配对象.由于截面尺寸相同的导体通常采用相同的细丝划分,因此对应位置的细丝维度一定也相同.只要确定了匹配的导体对,就比较容易得到导体间的所有匹配细丝对,这大大减少了查表匹配的操作.

其次,为使算法能够处理非平行导体对,我们除了采用 6 个参数记录两根导体的长宽高外,还将两细丝中心点间的连线矢量变为两导体对应端面中心点间的三维空间距离.如果

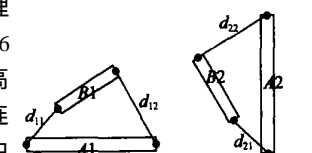


图 4 细丝 $A1, B1$ 间阻抗等于细丝 $A2, B2$ 间阻抗 ($d_{11} = d_{21}, d_{12} = d_{22}$)

距离也相等的话,则其细丝互感也对应相等.图3的例子符合这种情况,图4也给出了一个含非平行细丝对的例子(俯视图).此做法的正确性可根据公式(2)的积分计算过程得出.

通过上述改进,细丝互感的计算得到更大范围的复用,从而大大提高了构造细丝阻抗矩阵 Z_f 的计算效率.

4.2 导体阻抗矩阵的计算

在得到整个导体系统的稀疏导纳矩阵 Y_{all} 后,需对其求逆才是要求的阻抗矩阵 Z_{all} .通常,在片上互连线结构中包含很多相互垂直的导体(如相邻层互连线),而垂直导体的互阻抗为零,因此阻抗矩阵 Z_{all} 中包含很多零元.以一个二维导体系统为例,我们可将导体按其轴线方向分为三类:平行于 x 坐标轴的,平行于 y 坐标轴的,和其他方向的(斜导体).导体阻抗矩阵的非零元分布如图5所示,区域 I 为平行于 x 轴的导体和斜导体之间的阻抗,区域 II 为平行于 y 轴的导体以及斜导体之间的阻抗,两者的重叠区域 III 是斜导体之间的阻抗,其余空白区域均为零.

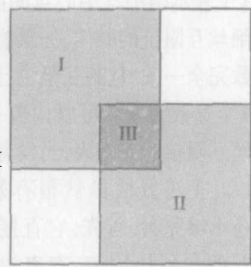


图5 导体阻抗矩阵的非零元分布

同样,正交导体的 Y 参数也为零(从第3节的窗口选择算法也可看出这点),其矩阵非零元分布也如图5所示.为减少矩阵求逆的计算量,我们可分别独立对区域 I 和区域 II 内的 Y 矩阵求逆,再合并得到整体的电感矩阵.由于求逆运算的矩阵阶数得到了减小,总的计算时间也明显小于直接对整个导纳矩阵求逆的时间.

在斜导体存在的情况下,阻抗矩阵的区域 I 和 II 重叠部分两次计算结果应当相同,但考虑到计算误差等影响,进行合并时可取两次的平均值填入区域 III.

5 数值实验结果

本文算法实现在名为 FRLE(Fast Resistance and Inductance Extractor)的程序中,由于采用了一种新的窗口选择方法,该程序可用于计算复杂三维结构的高频电感与电阻.下面通过几个算例将其与著名的三维电感电阻提取软件 FastHenry 进行比较,所有实验均在 Sun Ultra V880 服务器(主频 750 MHz)上进行.

算例 1 是一个 VLSI 多层布线结构,每层含 5 根 P/G 线,线宽 $2\mu\text{m}$,每两根 P/G 线之间含 10 根信号线,线宽 $0.4\mu\text{m}$,所有线高均为 $2\mu\text{m}$,线长为 $60\mu\text{m}$,平行排列,两端对齐,相邻信号线间距 $0.8\mu\text{m}$,P/G 线与相邻信号线间距 $2\mu\text{m}$. 总共有 6 层这样的互连线,第 1、3、5 层互连线平行于 x 轴,第 2、4、6 层互连线平行于 y 轴,两层互连线垂直方向间距为 $4\mu\text{m}$ (如图 6 所示).设工作频率为 10GHz ,每根导体在截面上作 4×4 细丝划

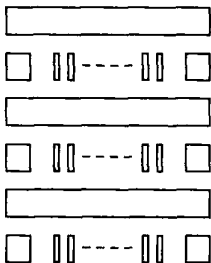


图6 多层布线结构

分,在本文算法中设最大耦合级别为 6,搜索因子 $x = 0.2$.表 1 列出了本文算法各个部分的计算时间和总时间,其中“改进前”是指进行第 4 节所述两项改进之前的 FRLE 程序,而“改进后”则加入了第 4 节所述的两项改进算法.以 FastHenry 作相同细丝划分时的计算结果作为标准值,本文计算结果的误差分布如表 2 所示.这里“回路电感”是指任意两根导体构成回路的电感值(可由部分电感简单计算得到),由于回路电感的结果对实际的电路模拟更为重要,因此这里列出了它的误差分布.

表 1 算例 1 电感电阻提取计算时间

	窗口选择(s)	计算细丝阻抗矩阵(s)	求解方程组(s)	Y 矩阵求逆(s)	总时间(s)
FastHenry	—	—	—	—	12787.7
FRLE(改进前)	0.24	28.74	91.04	1.47	121.49
FRLE(改进后)	0.23	8.57	88.29	0.34	97.44

表 2 算例 1 电感电阻提取结果的误差分布 (以 FastHenry 计算结果作为基准值)

误差	<3%	3%~6%	6%~9%	9%~12%	12%~15%	>15%
回路电感	16.74%	73.69%	9.3%	0.26%	0.01%	0
电阻	93.33%	5.93%	0.74%	0	0	0

表 3 算例 2 电感电阻提取计算时间

	窗口选择(s)	计算细丝阻抗矩阵(s)	求解方程组(s)	Y 矩阵求逆(s)	总时间(s)
FastHenry	—	—	—	—	33160.1
FRLE(改进前)	0.28	194.19	335.17	1.27	530.91
FRLE(改进后)	0.33	85.47	338.20	1.00	425.01

表 4 算例 2 电感电阻提取结果的误差分布 (以 FastHenry 计算结果作为基准值)

误差	<3%	3%~6%	6%~9%	9%~12%	12%~15%	>15%
回路电感(改进前)	96.09%	3.03%	0.76%	0.08%	0.04%	0
电阻(改进前)	24.23%	42.31%	30.38%	3.08%	0	0
回路电感(改进后)	95.90%	3.29%	0.69%	0.09%	0.03%	0
电阻(改进后)	28.46%	48.08%	20.38%	3.08%	0	0

从表 1 可以看出,改进后的 FRLE 比 FastHenry 快 100 多倍,而考察计算细丝阻抗矩阵的时间和 Y 矩阵求逆时间可以发现本文两项改进明显加快了计算速度.由于细丝阻抗的复用技术不会对计算精度产生影响,而本例不含斜导体,即 Y 矩阵求逆方面的改进不带来误差,所以改进前后的计算结果完全一致,表 2 就不分别列出.表 2 的结果表明,FRLE 的计算精度足以适应实际的需要(当然,也可提高“最大耦合级别”用计算速度换取更高精度).

算例 2 是一个工业界的芯片管脚封装结构,含 260 块导体,其中平行于 x 轴的导体 150 根,平行于 y 轴的导体 30 根,斜导体 80 根.工作频率 10GHz ,对每根导体做 4(4 细丝划分,设最大耦合级别为 3,搜索因子 $x = 0.2$. FRLE 的计算时间和误差分布列于表 3、表 4 中.

从表 3 可以看出,改进后 FRLE 的计算速度约为 FastHenry 的 78 倍,同时本文第 4 节的两项改进算法也有明显效果.在表 4 中,改进前后的 FRLE 的误差分布略有些不同,这主要是由于例 2 含有斜导体,因此在对分组求逆得到的两个小规

模 Z 矩阵重叠部分处理时带来了少量误差,但总体的计算精度还是比较满意的。

6 结论

本文将基于 k 参数和窗口技术的电感提取算法扩展到高频下的三维互连电感电阻提取。由于高频下复阻抗的虚部占主导地位,通过细丝划分和导纳 Y 的稀疏化,本文方法能有效地计算互连电感电阻。本文的三维窗口选择算法可适应于复杂的互连线分布结构,并且细丝电感计算复用和导纳矩阵分步求逆技术的提出也有效地缩短了计算时间。对多层互连结构和一个封装结构的计算表明,本文算法在保持较好计算精度的同时,比 FastHenry 软件快上百倍。

需要指出的是,目前基于 k 参数的各类算法都还有需进一步改善之处。例如,如何针对不同结构让程序自适应的选取合适的最大耦合级别以及搜索因子,当存在折线导体时如何高效率的处理分段导体阻抗矩阵的压缩,这都有待于后续的研究工作。

参考文献:

- [1] K Gala ,D Blaauw ,J Wang ,et al. Inductance 101 :analysis and design issues[A]. Proc. Design Automation Conference[C]. New York,USA : ACM press ,2001. 329 - 334.
- [2] M W Beattie ,L T Pileggi. Inductance 101 : modeling and extraction [A]. Proc. Design Automation Conference[C]. New York, NY, USA : ACM press ,2001. 323 - 328.
- [3] A E Ruehli. Inductance calculation in a complex integratd circuit environment[J] ,IBM Journal of Research and Development ,1972 ,16 :470 - 481.
- [4] Z He ,M Celik ,L T Pileggi. Spie : Sparse partial inductance extraction [A]. Proc. Design Automation Conference[C]. New York ,NY, USA : ACM press ,1997. 137 - 140.
- [5] K Gala ,V Zolotov ,R Panda ,et al. Orr-chip inductance modeling and analysis[A]. Proc. Design Automation Conference [C]. New York , NY, USA :ACM press ,2000. 63 - 68.
- [6] KL Shepard ,Z Tian. Return-limited inductances :a practical approach to orr-chip inductance extraction[J]. IEEE Trans omputer-Aided Design ,2000 ,19(4) :425 - 436.
- [7] M W Beattie ,L T Pileggi. Modeling magnetic coupling for orr-chip interconnect [A] , Proc. of Design Automation Conference [C]. New York ,NY, USA :ACM press ,2001. 335 - 340.
- [8] T-H Chen ,C Luk ,H Kim ,et al. INDUCTWISE: Inductance-wise interconnect simulator and extractor[A]. Proc. IEEE International Conference on CAD[C]. Los Alamitos ,Calif ,USA :IEEE Computer Society press ,2002. 215 - 220.
- [9] A Devgan ,H Ji ,W Dai. How to efficiently capture orr-chip inductance effects: Introducing a new circuit element K [A]. Proc. IEEE International Conference on CAD[C]. Los Alamitos ,Calif ,USA :IEEE Computer Society press ,2000. 150 - 155.
- [10] H Ji ,A Devgan ,W Dai. KSim :A stable and efficient RKC simulator for capturing orr-chip inductance effect[A] ,Proc. ASP-DAC[C]. New York ,NY, USA :ACM press ,2001. 379 - 384.
- [11] M Beattie ,L T Pileggi. Efficient inductance extraction via windowing [A]. Proc. Design Automation and Test in Europe[C]. Piscataway NJ , USA :IEEE press ,2001. 430 - 436.
- [12] M Kamon ,M J Tsuk ,J White. FASTHENRY: A multipole-accelerated 3D inductance extraction program[J]. IEEE Trans Microwave Theory Tech. ,1994 ,42(9) :1750 - 1758.

作者简介:



魏洪川 男,1978 年生于河南郑州,博士研究生,现从事互连寄生参数提取算法方面的研究。E-mail:weihc2000@mail.tsinghua.edu.cn.



喻文健 男,1977 年生于江西南昌,博士,助理研究员,现从事 VLSI 互连寄生参数提取、三维边界元快速算法与应用、互连线建模与分析等方面研究。

杨柳 男,1977 年生于广西壮族自治区,博士,主要从事互连寄生参数提取算法方面的研究。

王泽毅 男,1940 年生于香港,教授,博士生导师,主要从事 VLSI 中的串并行数值方法研究,包括电路分析、器件模拟及寄生参数提取。