

重叠组合法的芯片级三维寄生电容提取及其并行实现

尹航¹⁾ 喻文健¹⁾ 陆涛涛²⁾ 王泽毅¹⁾

¹⁾(清华大学计算机科学与技术系 北京 100084)

²⁾(北京华天中汇科技有限公司 北京 100084)

(yinh02@mails.tsinghua.edu.cn)

摘要 采用双向区域重叠组合法,基于三维层次式块边界元法实现了芯片级的互连电容提取.该方法将芯片切分为大量小规模区域,用全局场求解器计算各子区域电容矩阵,可方便地组合出整个芯片的电容矩阵;同时分析了其计算量和精度,并进行了并行计算实验.对实际版图结构的数值实验验证了有关分析结论,表明该方法高效、可靠、并行性能好.

关键词 边界元法;三维寄生电容;芯片级提取;重叠组合;并行计算
中图分类号 TN47

The Overlap-Combination Approach to 3D Chip-Level Capacitance Extraction and Its Parallel Implementation

Yin Hang¹⁾ Yu Wenjian¹⁾ Lu Taotao²⁾ Wang Zeyi¹⁾

¹⁾(Department of Computer Science and Technology, Tsinghua University, Beijing 100084)

²⁾(Beijing HT-EDA Technology Company, Beijing 100084)

Abstract A two-direction overlap-combination method is adopted to implement the chip-level capacitance extraction while using the 3D hierarchical block boundary element method as field solver. The proposed method cuts a chip into a great deal of small-scale regions, and then combines the capacitance matrices for all regions to get the full capacitance matrix. The computational accuracy and speed of the overlap-combination method are also analyzed, and parallel experiments were carried out. Numerical experiments with actual layout structures show that the proposed method is effective, reliable and with high parallelity.

Key words boundary element method; 3D parasitic capacitance; chip-level extraction; overlap-combination; parallel computing

0 引言

半导体技术的飞速发展使集成电路的特征尺寸急剧缩小、工作频率不断提高,互连寄生效应已成为影响 VLSI 性能的主要因素.在 GHz 以上纳米级数字与数-模混合电路中,为了进行高精度的时延和串

扰分析,需要快速、准确地计算金属连线间的耦合寄生电容,这意味着提取所有导体间全耦合电容矩阵变得更加重要^[1].另外,任意拐角和大量通孔已在多层互连线中使用,而绝缘层也多采用保形介质^[2]及铜工艺中的多平面介质等复杂结构,更使精确的三维电容提取十分必要和紧迫,以满足对复杂结构的精度要求^[3].

收稿日期:2005-01-04;修回日期:2005-06-02

基金项目:国家自然科学基金(90407004);国家“八六三”高技术研究发展计划(2004AA1Z1050)

当前,通过求解三维静电场方程计算互连电容的数值模拟方法(也称场求解器)可分为 2 类^[4]: 1) 局部方法. 每次对互连寄生电容器中的导体预置一定偏压,然后求解静电场分布,以得到导体间完整耦合电容矩阵中的某一行. 2) 全局方法. 不对导体预置偏压,即可通过电路网络缩减等技术直接得到导体间的完整耦合电容矩阵. 美国 MIT 研发的多极加速三维电容提取软件 FastCap^[5]是局部方法的一个代表,而本课题组提出的三维层次式块边界元法(hierarchical block BEM, HBBEM)^[4]则属于全局方法. HBBEM 基于直接边界元法,通过计算小规模三维块的边界电容矩阵(boundary capacitance matrix, BCM)和层次式合并算法,使提取整个电容矩阵的计算量大大减少^[4].

由于三维数值方法计算速度较慢,不可能直接用于芯片级的电容提取任务. 而近年来随着高精度提取的要求越来越迫切以及若干快速三维电容提取算法的提出,基于三维场求解器的芯片级电容提取已成为一个研究热点. 这类方法不同于目前工业界普遍使用的基于经验公式或建模-匹配的电容提取方法^[6-7],而是直接使用场求解器计算三维互连结构,因此具有很高的精度. 例如,文献[8]沿关键路径向两侧扩展一定宽度的隧道,再提取隧道内所有导体与关键路径导体间的耦合电容,依此方法可得出多个关键线网的寄生电容;文献[9]提出采用分治策略的三维芯片级电容提取算法,它综合了隧道、分段、屏蔽以及镶边等多种技术来提取关键路径电容. 应当指出,这些方法的核心思想都是利用电容的局部性原理缩小三维数值方法的求解区域,再将各部分结果组合成整个路径的寄生电容. 此外,现有的芯片级三维电容提取方法均基于局部法的场求解器,因此适合于关键路径的电容提取任务.

与局部方法相比,全局方法可高效率地提取出完整的导体耦合电容,更适用于当前 GHz 纳米级数字与数/模混合电路中提取所有导体间(而不仅仅在少量关键路径上)耦合电容矩阵的需要. 因此,研究采用全局场求解器的芯片级电容提取方法至关重要. 1993 年,文献[10]对一般电路版图提出将芯片单向划分为等宽条形区域,再计算每 2 个相邻条形区域的电容矩阵后组合出总体电容矩阵的方法. 同时,它针对规则电路版图采用双向重叠区域划分,利用版图上结构相同部分的信息实现了计算的复用,从而加速电容提取. 本文针对任意版图结构,借鉴了文献[10]中区域重叠的思想,并基于 HBBEM,首

次提出了采用全局场求解器的芯片级电容提取方法. 该方法先将整个芯片(或待求解区域)沿 2 个方向划分为一系列重叠的窗口,然后用 HBBEM 提取每个窗口以及窗口重叠区的电容矩阵,最后通过这些电容矩阵的加-减运算组合出整个芯片的电容矩阵. 基于这种重叠组合法良好的可并行性,我们采用纯任务池和静态-动态相结合的 2 种任务分配模式,实现了芯片级电容提取的并行计算.

1 HBBEM

对如图 1 所示的三维多介质互连结构,每个均匀介质区域 i 的静电场 Laplace 方程可转化为如下边界积分方程^[3-4]

$$c_s u_s^{(i)} + q_s^* u^{(i)} d = u_s^* q^{(i)} d .$$

其中, $u_s^{(i)}$ 是介质 i 中源点 s 的电势, $q = \partial u / \partial n$ 为边界上一点的法向电场强度, c_s 是与源点附近边界几何形状有关的常数; $u_s^* = 1/4 r$ 是 Laplace 方程基本解,其沿单位外法向 n 的方向导数 $q_s^* = \partial u_s^* / \partial n = -(\mathbf{r}, \mathbf{n})/4 r^3$, \mathbf{r} 为源点到被积分场点的向量(r 为相应欧氏距离); ∂_i 是包围介质区域 i 的边界,变量的上标(i)为其所属介质区域 i 的标识.

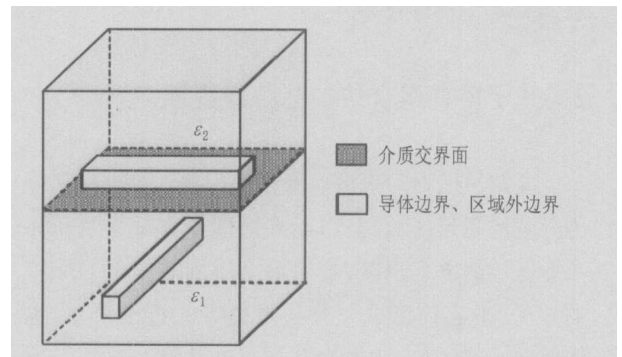


图 1 含 2 种介质的三维互连结构

将区域 i 的边界离散化为一系列边界元,并采用常数元点配置方法,可得到线性方程组^[4]: $\mathbf{Hu} = \mathbf{Gq}$. 其中系数矩阵 \mathbf{H} 和 \mathbf{G} 的维度均为 $n_i \times n_i$, n_i 为区域 i 中边界元的数目(为方便,这里省略介质区域 i 的标识). 由于矩阵 \mathbf{G} 非奇异,进而有 $\mathbf{G}^{-1} \mathbf{Hu} = \mathbf{q}$. 令 $\mathbf{A} = \mathbf{G}^{-1} \mathbf{H}$, 则

$$\mathbf{A} \mathbf{u} = \mathbf{q} \quad (1)$$

其中, \mathbf{A} 可看成是该区域边界元间相互作用而形成的矩阵,向量 \mathbf{u} 和 \mathbf{q} 分别为边界元上的电势变量和法向电场强度变量. 再通过导体变量凝聚技术(由于导体为等势体)^[3],将式(1)转化为

$$Au = q \quad (2)$$

其中向量 u 和 q 中只剩下区域外边界上边界元的变量, 以及各导体的电势和总电量. 我们称式(2)中的系数矩阵 A 为该区域的 BCM.

在实际的三维互连电容提取中, 可先将整个模拟区域切割为若干个块, 对每个块(子区域)按上述方法可计算出其对应的 BCM. 由于计算量主要是对矩阵 G 求逆, 所以只要块足够小(边界元数, 即矩阵 G 的阶数较小), BCM 的计算量就非常小.

在相邻块的交界面上, 静电场连续性方程为

$$\begin{cases} a \cdot q_a = - b \cdot q_b \\ u_a = u_b \end{cases} \quad (3)$$

可利用式(3)消去交界面上变量, 将相邻块的 BCM 进行合并得到更大的三维块对应的 BCM. 至此, 我们可将整个模拟结构进行递归切分并用多叉树组织, 再沿着块的树形组织结构自底向上、层次式地合并 BCM, 可得到整个模拟结构的 BCM. 最后利用整个结构所满足的 Neumann 边界条件(即外边界上法向电场强度为 0), 可使矩阵方程中仅仅包含导体的电势和总电量

$$CU = Q \quad (4)$$

其中的系数矩阵 C 则为所求的全耦合电容矩阵^[4]. 有关介质外表面和介质交界面变量的消去可参见文献[4], 本文不再赘述.

2 基于重叠组合法的芯片级提取

文献[10]对一般电路版图提出将芯片单向划分为等宽的条形区域, 采用场求解器计算每 2 个相邻条形区域的电容矩阵, 最后组合得到总体电容矩阵的方法. 但它的区域划分与重叠方式过于简单, 也缺乏深入的讨论. 为了对几何尺寸达到几百甚至上千微米的芯片级结构进行三维电容提取, 本文将文献[10]思想扩展为沿 2 个方向、重叠区大小可变的区域重叠组合法, 并采用高效全局场求解器 HBBEM 计算小区域电容矩阵, 它适用于一般电路版图结构.

2.1 重叠组合法

设一长方形芯片如图 2 所示, 其 x 方向长为 Me , y 方向宽为 Nf , M 与 N 为整数. 将芯片划分为 MN 个互不重叠的长方形基本区域, 如图 2 实线所示. 若从每个基本区域出发, 沿 x 方向两侧各外拓 $c/2$, 沿 y 方向两侧外拓 $d/2$ (最外侧基本区域除外), 记 $e + c = a$, $f + d = b$, 就形成了一个 $a \times b$ 的带重

叠区域的长方形区域, 可称之为窗口. 我们把这种将芯片切成一些相互重叠窗口的方式记为 $a-b+c-d$, 当 $c = d$ 时, 可简记为 $a-b+c$. 图 2 中虚线显示了这种芯片切分.

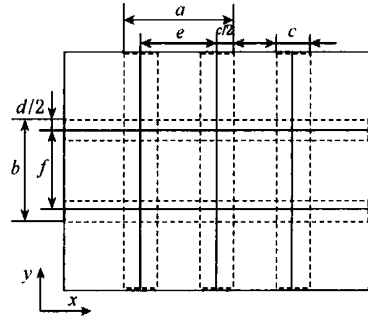


图 2 芯片的 $a-b+c-d$ 切分方式

进行上述带重叠的区域切分后, 分别计算每个窗口和重叠区域的电容矩阵, 并通过求对应项代数和的运算(稀疏矩阵求和)即可组合出整个芯片的全耦合电容矩阵 $C = C_{a \times b} - C_{c \times b} - C_{a \times d} + C_{c \times d}$. 其中, $C_{a \times b}$ 代表所有窗口的电容矩阵, $C_{c \times b}$ 和 $C_{a \times d}$ 是重叠区域的电容矩阵, $c \times d$ 是二次重叠区域, 由于它被多减了 1 次, 故需再单独计算 $C_{c \times d}$ 并在最后加上.

芯片规模很大时, 矩阵求和的组合运算也非常复杂. 完全存储整个矩阵需要海量存储空间, 而若用稀疏矩阵保存数据, 查找又很耗时间. 设整个版图共有 n 条线网, 平均每条线网与其他 m 条线网的耦合效应不可忽略, 则共有三元组 $N = n \times m$ 个, 如采用平衡二叉搜索树管理稀疏矩阵的数据, 组合的时间复杂度为 $O(N \log N)$. 考虑到几乎每个导体都与至少一块导体存在耦合, 本文对每一导体各建一棵二叉搜索树, 这样复杂度降到 $O(N \log m)$, 速度提高数十倍. 对包含数万导体的实际例子, 全耦合电容矩阵的组合过程 2~3 min 即可完成, 只占整个提取过程极小的一部分.

2.2 重叠区域对计算量与精度的影响

首先考察对计算量的影响. 如图 2 所示, 设有 MN 个带重叠区域的窗口, 每个窗口的面积不超过 $a \times b$ (最靠外侧的窗口较小). 同时, 共有 $(M - 1)N$ 个 $c \times b$ 区域, $M(N - 1)$ 个 $a \times d$ 区域以及 $(M - 1)(N - 1)$ 个 $c \times d$ 的重叠区域. 考虑所有待计算区域的总面积, 其值约为 $A = abMN + bc(M - 1)N + adM(N - 1) + cd(M - 1)(N - 1)$. 为讨论方便, 不妨设 $e = f$, $M = N$, $c = d = e$, 则 $a = b = (1 +)e$, 待计算的总面积约为

$$A = (1 + 2) \frac{M^2 e^2}{2} \quad (5)$$

从式(5)看出,需要用场求解器计算的总面积比芯片的实际面积 $M^2 e^2$ 要大. 当 $\frac{c}{a} = \frac{\sqrt{2}-1}{2} \approx 0.21$ 时, $c \approx 0.17a$, 即重叠区域宽度达到 0.17 个窗口边长时,重叠组合法需计算的总面积约为芯片面积的 2 倍;而当 $\frac{c}{a} = 0.5$, 即 $c = 0.33a$ 时,重叠组合法需计算的总面积约为芯片面积的 4 倍. 可以想象,随着重叠区域的增大,所需场求解器计算的总面积也将增大,其计算时间也必然大大增加. 因此,在运用区域重叠以保证计算精度的同时,应尽可能减小重叠区域.

下面讨论重叠区域对计算精度的影响. 根据静电场知识,导体间的电容具有可叠加性,其原因来自于静电场的电势叠加原理. 此外,电容还具有局部性,它是指距离较远(或被其他导体屏蔽)的导体间的耦合电容非常小,可以近似地予以忽略. 现有的芯片级电容提取方法均使用了上述 2 条性质,以便将大规模的结构转化为多个较小规模的结构进行计算^[8-12],同时也将误差控制在可接受的范围内. 本文的重叠组合法也基于电容的这 2 条性质. 下面通过一个简单示例说明重叠区域的设置对计算精度的影响.

图 3a 所示区域 Ω 中存在 2 根导线,需计算它们之间的寄生电容. 将区域 Ω 沿长度方向分割为 3 部分 Ω_1 , Ω_2 和 Ω_3 , 这样形成 5 根短导线,如图 3b 所示. 导体 1,2 间的耦合电容 $C_{1,2}$ 等于在导体 1 加 1V 电压,导体 2 接地时,导体 2 上感应电荷的总量. 它等于导体 1 各部分对导体 2 各部分感应出的电量之和,即

$$C_{1,2} = C_{1,21} + C_{1,22} = C_{11,21} + C_{12,21} + C_{13,21} + C_{11,22} + C_{12,22} + C_{13,22} \quad (6)$$

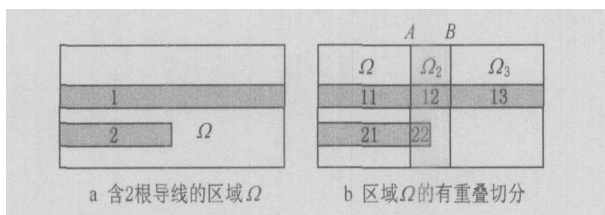


图 3 重叠组合法误差分析

若我们采用重叠组合法,设 Ω_2 为左右 2 个窗口的重叠部分,则窗口 $\Omega_{1,2}$ (即 $\Omega_1 \cup \Omega_2$) 内计算的电容为

$$C_{1,2} = C_{11,21} + C_{12,21} + C_{11,22} + C_{12,22};$$

窗口 $\Omega_{2,3}$ (即 $\Omega_2 \cup \Omega_3$) 内计算的电容为

$$C_{1,2} = C_{12,22} + C_{13,22};$$

最终组合产生导体 1,2 的电容为

$$C_{1,2} = C_{1,2} + C_{1,2} - C_{1,2} = C_{11,21} + C_{12,21} + C_{11,22} + C_{12,22} + C_{13,22} \quad (7)$$

在式(6),(7)中,对应的 C 和 C 并不相等,这是因为导体间的电力线分布受区域边界条件的影响. 由于式(6)中的量针对区域 $\Omega_{1,2}$ 计算出,而公式(7)中的量针对区域 $\Omega_1 \cup \Omega_2$, Ω_2 或 $\Omega_2 \cup \Omega_3$ 计算出,求解区域发生变化,因此相同两导体间的耦合电容值也存在少量变化. 值得庆幸的是,采用重叠组合法后,这种局部区域的变化对最终电容值的影响非常小. 数值实验结果也验证了这一点.

除了上述提到的区域变化造成的电容值变化外,比较式(6),(7)可知,重叠组合法的方法误差为 $C_{13,21}$,只要它足够小,重叠组合法就可以达到满意的精度. 而根据电容的局部性原理,只要重叠宽度 $|AB|$ 足够大,误差项 $C_{13,21}$ 就可以足够小. 我们采用标准的互连寄生参数提取软件 Raphael 进行了实验,对图 2 所示结构,设区域总长 $6\mu\text{m}$ 、宽 $2\mu\text{m}$,二导体线宽 $0.2\mu\text{m}$ 、间距 $0.5\mu\text{m}$. 那么,当 $|AB| = 0.2\mu\text{m}$ 时,重叠组合法相对整体计算的误差为 3.88%;而当 $|AB|$ 增大到 $1.0\mu\text{m}$ 时,误差减小到 0.75%.

2.3 并行实现

重叠组合法先将芯片切分为许多小区域(窗口及重叠区域),再对它们分别计算,并用矩阵求和的方式组合出全耦合电容矩阵,这使各计算环节的耦合度极低,很适于并行计算. 其串行部分有:任务分配、组合计算(简单代数和)、负载平衡和 I/O 等,仅占总计算量的很小部分.

事实上,根据重叠组合法的特点,可以自然地把对每一个子区域的计算看作一个任务,从而将整个芯片的提取分割成多个独立任务与极少量的同步串行处理. 通常,任务总数会远大于并行 CPU 的总数,这时若采用任务池方式动态分配容易达到较好的任务均衡. 另外,任务池是全局的,故池中任务不宜分得太细,以减少负载均衡的控制花费.

因此,我们除采用纯动态的任务池分配方式外,还采用如下静态与动态相结合的任务分配方式:先根据各任务的大致计算时间(如按待计算面积等估算)尽量平均地将它们静态地分配给各台并行处理

机,而余下的相对较小的任务暂不分配,以构建动态分配任务池.在并行计算时,待静态分配的任务完成后,再到任务池中取任务计算.数值实验表明,上述任务分配方式具有较高的并行计算效率.

3 数值实验

图4所示为一种实际的芯片工艺(截面图),它包含10层互连,其中下5层为交叉线,层号从下至上编为1~5,导体线宽及线间距均为 $0.28\mu\text{m}$.基于该工艺,我们对若干算例进行实验,运行环境为主频750MHz、内存4GB的Sun V880工作站.

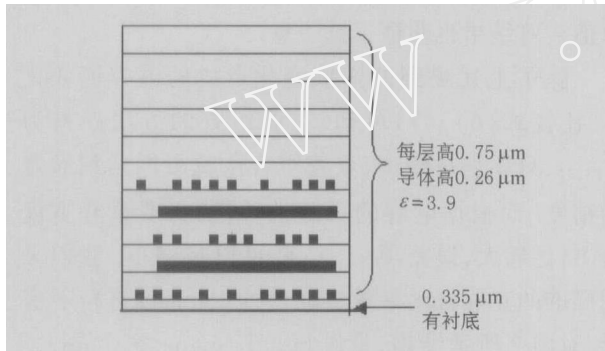


图4 一种互连工艺结构图

我们随机生成了第1个算例,其导体长度和位置随机产生.算例1的版图尺寸为 $200\mu\text{m} \times 15\mu\text{m}$,含780块导体;其第1,3,5层部分金属导线的俯视图类似于图5a所示结构;第2,4层类似于图5b所示结构.第3.1节、第3.2节中的实验均针对算例1.

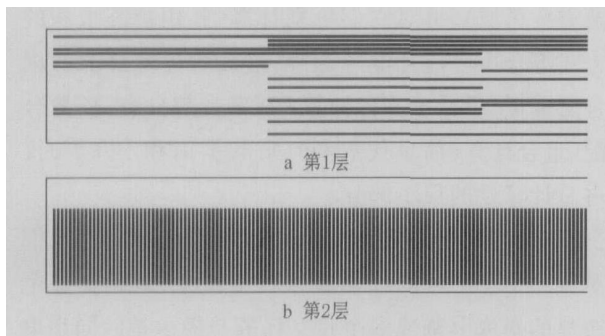


图5 算例1的第1,2层俯视图

3.1 不同切分情况下计算时间的比较

首先考察采用不同窗口切分方式时的总计算时间,结果如表1所示.其最后一行是把算例整体直接用文献[4]中HBBEM计算的结果,可见采用重叠组合法可比HBBEM快数倍.在图6中,以窗口长和宽的几何平均数为 X 轴,计算时间为 Y 轴,给出时间-窗口大小关系曲线.

表1 不同窗口下的计算效率

切分方式	每窗口平均计算时间/min	窗口数	总时间/h
3-3+1	0.3	700	3.4
6-6+1	1.1	120	2.3
8-8+1	1.1	58	1.1
9-9+1	3.9	50	1.7
9-15+1	4.6	25	1.9
15-15+1	10.2	15	2.6
30-15+1	38.2	7	4.5
200-15	318.0	1	5.3

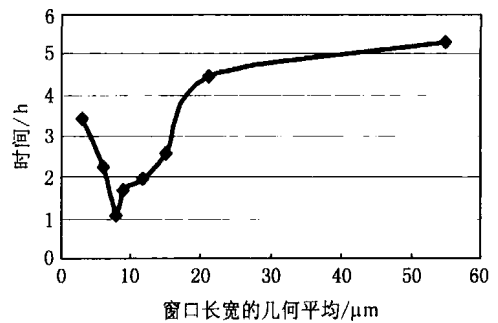


图6 不同窗口下的计算时间

在计算中,重叠区域的尺寸均为 $1\mu\text{m}$,保持不变.从表1和图6看出,随着窗口的增大,重叠区域的数量会减少,并使总计算时间逐渐减少;但随着窗口继续增大,每个窗口区域计算量增大很快,致使计算量又急剧增加.这就是说,在重叠区域的尺寸大致不变的条件下,随着窗口的增大,存在一个计算总时间的谷点.从上述结果可以看出,重叠组合法的计算效率显著地依赖于窗口大小的选择,而所采用的三维场求解器的计算性能也影响着窗口大小的选择.

3.2 重叠区域对精度的影响

仍使用第1个算例.为了考察重叠区域的影响,仅在 X 方向上进行有重叠的切分,窗口大小固定为 $9\mu\text{m} \times 15\mu\text{m}$.以HBBEM整体计算结果作为基准,采用不同重叠大小时的计算时间和各导体总电容的误差如表2、图7所示.

表2 不同重叠情况下的计算结果

切分方式	计算时间/h	平均误差/%	5%误差所占比例/%	最大误差/%
9-15+0	1.7	3.7	15.5	-40.7
9-15+0.28	1.8	1.9	8.5	-30.4
9-15+0.56	1.8	1.7	9.2	13.2
9-15+0.84	1.9	1.6	7.3	-6.9
9-15+1.00	1.9	1.5	7.2	-6.4
9-15+1.20	2.0	1.6	9.1	6.8
9-15+2.00	1.9	1.6	8.1	-8.0
9-15+2.80	3.1	1.7	9.2	7.9

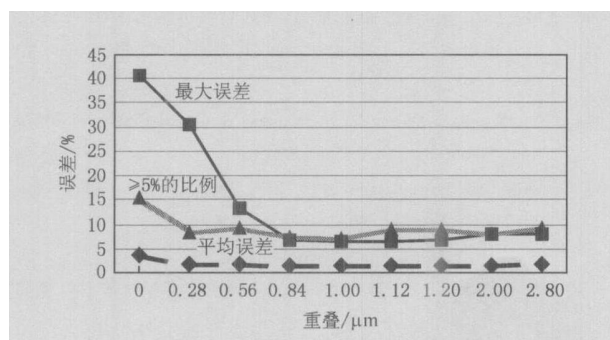


图7 重叠区域大小对计算精度的影响

实验结果显示,计算误差与重叠区域的宽度有关,这也与第2.2节中的分析相符合。重叠区域较窄时误差较大,随着重叠区域的增大误差会逐渐降低,并趋于平稳。因此,重叠区域的尺寸应控制在适当范围内。多个实际算例的数值实验表明,重叠区域宽度取线宽的3~4倍为宜,而窗口边长须数倍于重叠部分宽度。

3.3 并行实验

在算例1的基础上,下面再增加2个算例来说明重叠组合法具有良好的并行性。运行环境为有4个CPU的Sun V880工作站。对算例1,采用“9-15+1”的切分方式计算。若采用纯任务池调度方式,CPU时间之和为6795s,程序启动直到运行结束的时间差为1753s,并行加速比为3.88,效率96.9%。第2个算例仍采用随机生成线长和位置的方法,但芯片面积扩大到 $192\mu\text{m} \times 155\mu\text{m}$,含3448块导体。采用重叠组合法计算它,并行计算效率更高,达到了98.2%。

第3个算例是规模更大的实际例子,面积为 $601\mu\text{m} \times 154\mu\text{m}$,含19067块导体。我们采用“9-15+3”切分,各机器内存峰值最大为32MB,串行程序执行时间为27686s。采用纯任务池方式调动,CPU数目从1增加到4时的并行效率如表3所示。此例中任务分得很小,几乎没有负载不平衡所造成的串行时间,不过由于任务数太多,负载均衡的控制占了相当的比重,因此并行效率低一些。若采用大部分(超过90%)的任务先静态分配的静态-动态混合策略则可以提高并行效率,4个CPU的效率达96.9%。

表3 实例并行计算(任务池方式)

CPU数	起止时间差/s	并行加速比	效率/%
1	27686	1.00	100
2	14003	1.98	98.8
3	9503	2.91	97.1
4	7621	3.63	90.8

较纯任务池方式提高6%(总时间7144s,已不足2h)。

此外,重叠组合法也可方便地在异构的机群上实现并行计算,便于推广应用。

3.4 全局方法与局部方法计算效率的比较

对其他场求解器,也可以采用重叠组合法提取电容。为了与本文方法比较,我们用局部场求解器B3D与QMM替换HBBEM进行了芯片级电容提取的实验。B3D是本课题组与美国Synopsys公司合作开发的基于层次式加速直接边界元法的三维互连电容提取软件^[13],使用算例1进行计算,均采用9-15+1的重叠切分。基于HBBEM的算法比基于B3D的算法快4倍左右。QMM是基于虚拟多介质加速的局部方法场求解器,比FastCap快10倍左右^[14],用HBBEM作场求解器是用QMM作场求解器速度的近3倍。数值实验验证了本文方法更适于用全局方法的场求解器,如HBBEM。

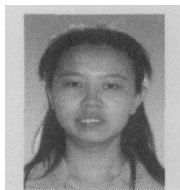
4 结 论

基于层次式块边界元三维电容求解器HBBEM,本文采用重叠组合法,实现了可得到完整耦合参数的芯片级三维电容提取。本文方法具有优良的内在并行性,数值实验表明它具备处理实际中较大规模复杂互连结构的能力。此外,改进HBBEM中的计算复用技术还可进一步提高总体计算效率。

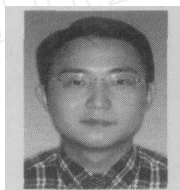
参 考 文 献

- [1] Ho R, Mai W K, Horowitz A M. The future of wires [J]. Proceedings of the IEEE, 2001, 89(4): 490-504
- [2] Lu Taotao, Yu Wenjian, Wang Zeyi. BEM simulation for conformal dielectric interconnect capacitance [J]. Journal of Computer-Aided Design & Computer Graphics, 2001, 13(8): 684-689 (in Chinese)
(陆涛涛, 喻文健, 王泽毅. 保形(Conformal)结构互连电容的BEM模拟[J]. 计算机辅助设计与图形学学报, 2001, 13(8): 684-689)
- [3] Yu Wenjian, Wang Zeyi. Research progress on 3D VLSI parasitic capacitance extraction [J]. Journal of Computer-Aided Design & Computer Graphics, 2003, 15(1): 21-28 (in Chinese)
(喻文健, 王泽毅. 三维VLSI互连寄生电容提取的研究进展[J]. 计算机辅助设计与图形学学报, 2003, 15(1): 21-28)
- [4] Lu Taotao, Wang Zeyi, Yu Wenjian. Hierarchical block boundary-element method (HBBEM): a fast field solver for 3-D capacitance extraction [J]. IEEE Transactions on Microwave Theory and Techniques, 2004, 52(1): 10-19

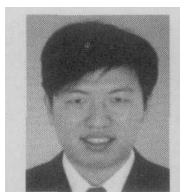
- [5] Nabors K, White J. FastCap: a multipole accelerated 3-D capacitance extraction program [J]. IEEE Transactions on Computer-Aided Design, 1991, 10(11): 1447-1459
- [6] Dengi E A. A parasitic capacitance extraction method for VLSI interconnect modeling [D]. Pittsburgh, Pennsylvania: Carnegie Mellon University, 1997
- [7] Dai Binhua, Lu Taotao, Wang Zeyi, *et al.* A new approach to 3D parasitic capacitance extraction of interconnects with building blocks of dielectric [J]. Journal of Computer-Aided Design & Computer Graphics, 2004, 16(3): 343-347 (in Chinese)
(戴斌华, 陆涛涛, 王泽毅, 等. 3D 互连电容快速提取的新途径——介质积木库法[J]. 计算机辅助设计与图形学学报, 2004, 16(3): 343-347)
- [8] Bachtold M, Spasojevic M, Lage C, *et al.* A system for full-chip and critical net parasitic extraction for ULSI interconnects using a fast 3-D field solver [J]. IEEE Transactions on Computer-Aided Design, 2000, 19(3): 325-338
- [9] Shi W, Yu F. A divide-and-conquer algorithm for 3-D capacitance extraction [J]. IEEE Transactions on Computer-Aided Design, 2004, 23(8): 1157-1163
- [10] van Genderen A J, van Der Meijns N P. Hierarchical extraction of 3D interconnect capacitances in large regular VLSI structures [C] //Proceedings of International Conference on Computer-Aided Design, San Francisco, California, 1993: 764-769
- [11] Beattie M, Pileggi L. Error bounds for capacitance extraction via window techniques [J]. IEEE Transactions on Computer-Aided Design, 1999, 18(3): 311-321
- [12] Kapur S, Long D. Large-scale capacitance calculation [C] //Proceedings of Design Automation Conference, San Francisco, California, 2000: 744-749
- [13] Gu Jiangchun, Wang Zeyi, Hong Xianlong. Hierarchical computation of 3-D interconnect capacitance using direct boundary element method [J]. Journal of Computer-Aided Design & Computer Graphics, 2000, 12(8): 635-640 (in Chinese)
(古江春, 王泽毅, 洪先龙. 层次式直接边界元计算 VLSI 三维互连电容[J]. 计算机辅助设计与图形学学报, 2000, 12(8): 635-640)
- [14] Yu Wenjian, Wang Zeyi. Enhanced QMM-BEM solver for three-dimensional multiple-dielectric capacitance extraction within the finite domain [J]. IEEE Transactions on Microwave Theory Techniques, 2004, 52(2): 560-566



尹航女, 1983年生, 硕士, 主要研究方向为 VLSI 互连寄生电容提取。



喻文健男, 1977年生, 博士, 助理研究员, 主要研究方向为 VLSI 互连寄生参数提取、三维边界元快速算法与应用、互连线建模与分析等 (yurwj@tsinghua.edu.cn)。



陆涛涛男, 1977年生, 博士, 主要研究方向为 VLSI 互连寄生参数提取。



王泽毅男, 1940年生, 教授, 博士生导师, 主要研究方向为 VLSI CAD 中的器件模拟、互连寄生参数提取与分析及其中的串并行数值方法。