

模拟集成电路三维互连电容的改进层次式提取

李 漓 喻文健 王泽毅 洪先龙

(清华大学计算机科学与技术系 北京 100084)

摘 要 层次式直接边界元方法可一次性计算出整个互连寄生电容矩阵,具有较高的计算效率. 针对模拟集成电路的特点,对层次式三维电容提取的三维块切割方式、非均匀边界元划分和程序组织等方面进行了改进,显著地提高了算法的效率. 数值实验表明,改进的层次式互连电容提取在保证高精度的同时,速度提高了数倍,适用于实际的模拟集成电路设计.

关键词 寄生电容;边界元法;层次式算法;模拟集成电路
中图法分类号 TN47

Improved Hierarchical Extraction of 3D Interconnect Capacitance in Analog Integrated Circuits

Li Li Yu Wenjian Wang Zeyi Hong Xianlong

(Department of Computer Science & Technology, Tsinghua University, Beijing 100084)

Abstract The hierarchical block boundary element method is highly efficient by its once computation to extract the whole interconnect capacitance matrix. In analog integrated circuit layout, the feature size varies largely with different layers. According to this, we present an improved algorithm in this paper, including a new hierarchical partition method of 3D blocks, nonuniform subdivision of boundary elements, and optimization of algorithm organization. Numerical results show that the new algorithm is suitable for real analog integrated circuit layout, in an improvement under equal accuracy, a few times faster than the previous approach.

Key words parasitic capacitance; boundary element; hierarchical computation; analog integrated circuit

1 引 言

半导体技术的飞速发展使集成电路的特征尺寸急剧缩小、工作频率不断提高,互连寄生效应已成为影响 VLSI 电路性能的主要因素. 在 GHz 以上纳米级数字与数/模混合电路中,为了进行高精度的时延和串扰分析,需要快速、准确地计算金属连线间的耦合寄生电容,这意味着提取所有导体间全耦合电容矩阵变得越来越重要^[1].

通过三维数值模拟来提取互连电容计算精度高,并能适应日趋复杂的工艺结构,已成为当前研究的重点. 三维电容提取主要包括区域型方法(有限差分法、有限元法)、边界积分方程法(也称边界元法)、半解析方法和随机漫步法等^[2]. 20 世纪 90 年代以来,研究人员将多种加速算法与边界积分方程法结合用于三维电容提取中,使边界元法成为当前研究的热点之一. 其中较为重要的包括多极加速方法、层次式加速方法、基于奇异值分解的快速算法以及虚拟多介质算法^[3]等.

收稿日期:2004-03-12;修回日期:2004-04-14

基金项目:国家自然科学基金(60401010,90407004);国家“八六三”高技术研究发展计划(2004AA1Z1050)

上述电容提取方法中,均需要将一块导体(主导体)设置 1V 偏压,而其他导体(环境导体)设置 0V 偏压,通过求解静电场方程得到主导体与各环境导体间的耦合电容.此类方法一次计算只能得到电容矩阵中的一列,也称为“局部”方法.与局部法相对应的“全局”提取方法能直接计算出整个电容矩阵,却较少受到关注.最初的全局方法针对二维结构,将有限差分得到的线性方程等价于电路网络,通过电路节点消去或网络压缩技术可直接计算出整个电容矩阵^[4-5].最近,文献[6]创新地提出一种三维全局电容提取方法——层次式块边界元法(Hierarchical Block BEM),它基于直接边界元法,通过计算小规模三维块的边界电容矩阵(Boundary Capacitance Matrix, BCM)和层次式合并算法,使提取整个电容矩阵的计算量大大减少.

由于采用了层次化的方法以及 BCM 计算的复用性,三维层次式边界元法具有很高的效率,并有可能应用于全芯片级的电容提取.但是,文献[6]只对一些互连线宽度固定的简单多层结构进行了讨论,各介质层分别进行三维结构的切割,边界元的划分采用简单的均匀划分.因此,当介质层数较多、不同层互连线的特征尺寸不同、三维结构规模较大时,现有的层次式电容提取的性能急剧下降.本文以文献[6]为基础,从实际模拟集成电路中多介质互连结构的特点出发,对三维层次式电容提取方法作了改进.首先,三维块的划分并不按层分别进行,而是多层混合同时进行切割;其次,根据不同层的特征尺寸,进行了有效的边界元非均匀划分,提高了计算每个小块的 BCM 及合并 BCM 的速度;最后,改进了 BCM 计算和合并的流程,使得算法的空间复杂度约降至原算法的 1/3.实验结果表明,改进的算法能够适应于多层的实际数模混合电路版图.

2 层次式三维块边界元电容提取

2.1 直接边界元电容计算

对如图 1 所示的三维多介质互连结构,每个均匀介质区域 i 的静电场 Laplace 方程可转化为边界积分方程^[2-3]

$$c_s u_s^{(i)} + q_s^* u^{(i)} d = u_s^* q^{(i)} d \quad (1)$$

其中, $u_s^{(i)}$ 是介质 i 中配置点 s 的电势, $q = \partial u / \partial n$ 为边界上一点的法向电场强度, c_s 是与配置点附近边界几何形状有关的常数. $u_s^* = 1/4 r$ 是 Laplace

方程基本解,其沿单位外法向 n 的方向导数 $q_s^* = \partial u_s^* / \partial n = -(\mathbf{r}, \mathbf{n}) / 4 r^3$, \mathbf{r} 为源点到被积分场点的向量(r 为相应欧氏距离). ∂_i 是包围介质区域 i 的边界,变量的上标(i)为其所属介质区域 i 的标识.

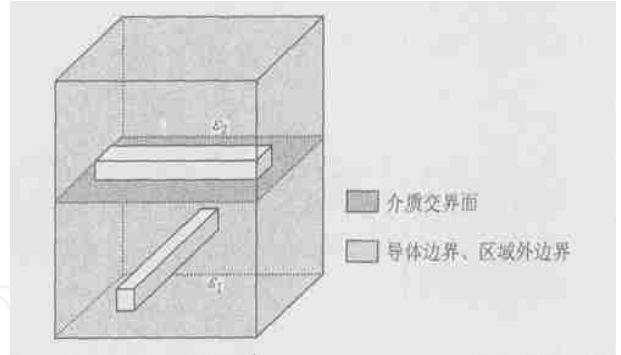


图 1 含两介质的三维互连结构

将区域 i 的边界离散化为一系列边界元,对其采用常数元插值技术,计算出相应的边界积分后,式(1)便化为离散线性方程;采用点配置法可得到线性方程组^[6]

$$Hu = Gq \quad (2)$$

对于单介质问题,可直接将边界条件代入式(2),解出有关 u 和 q 变量并计算出电容.而对多介质问题,电容提取的局部法需使用介质区域交界面上的连续性条件,将各区域方程耦合成整体方程,代入边界条件后求出未知的 u 和 q 值^[3].

2.2 边界电容矩阵与块边界元电容提取

对于任一三维区域对应的式(2),由于矩阵 G 非奇异,则有

$$G^{-1}Hu = q \quad (3)$$

令 $A = G^{-1}H$, 则

$$Au = q \quad (4)$$

其中, A 可看成是该区域边界元间相互作用而形成的矩阵;向量 u 和 q 分别为边界元上的电势变量和法向电场强度变量.这些边界元分布于介质交界面、导体表面以及区域的外边界上,在介质交界面上应用静电场连续性方程

$$\begin{cases} a \cdot q_a = -b \cdot q_b \\ u_a = u_b \end{cases} \quad (5)$$

可消去介质交界面的边界元变量,再通过导体变量凝聚技术(由于导体为等势体)^[6],将式(4)转化为

$$Au = q \quad (6)$$

此方程的向量 u 和 q 中只剩下区域外边界上边界元的变量,以及各导体的电势和总电量.我们称式(6)中的系数矩阵 A 为 BCM.

在实际的三维互连电容提取中,可先将整个模拟

区域切割为若干个“块”,对每个块(子区域)按上述方法计算出其对应的 BCM. 由于计算量主要是对式(3)的矩阵 G 求逆,所以只要块足够小(边界变量数,即矩阵 G 的阶数较小),BCM 的计算量就非常小.

以一个含 M 层介质的三维互连结构为例,可对每一层在水平方向上进行递归二切分,并用完全二叉树组织. 假设最终每层均划分为 $N \times K$ 块,则整个结构对应的树型组织中共有 $M \times N \times K$ 个叶子结点,对它们都需要计算相应的 BCM.

由于静电场连续性式(5)在相邻块的交界面上也成立,因此可利用它消去交界面上的变量,将相邻块的 BCM 进行合并,得到更大的三维块对应的 BCM. 这样,沿着块的树状组织结构自底向上,层次式地合并 BCM,可得到整个模拟结构的 BCM. 最后利用整个结构所满足的自然边界条件(即外边界上法向电场强度为 0),可使矩阵方程中仅仅包含导体的电势和总电量

$$CU = Q \quad (7)$$

其中 C 为所求的全耦合电容矩阵^[6]. 有关介质外表面和介质界面变量的消去见文献[6]中 IV. C 和 IV. D 小节.

3 改进的层次式互连电容提取

3.1 三维区域的层次式切割策略

整个算法的 CPU 时间主要消耗在计算每个三维叶子块的 BCM 以及合并 BCM 矩阵这两个步骤上. 在计算 BCM 时,CPU 时间主要用于式(3)中的矩阵求逆运算;而合并 BCM 时,最主要的运算也是矩阵求逆和矩阵乘法. 这两个步骤的时间复杂度均为 $O(n^3)$, n 为对应矩阵的阶数,具体与划分的边界元数目有关. 为提供电容提取的效率,减少相应计算中涉及的边界元数目并合理控制三维叶子块的大小至关重要. 基于上述考虑,本文的第一项工作便是改进文献[6]的三维区域切割策略,提出控制三维叶子块大小的方法.

对一个含 M 层的三维版图,按文献[6]的方法首先将其切割为 M 层,然后对每层进行层次式二划分. 此方法考虑了结构的分层特点,处理起来比较方便,但有可能造成比较大的块交界面,使 BCM 合并耗费较多时间. 对其进行改进,我们提出混和切割法. 在此方法中, Z 方向(垂直于介质层交界面)与 XY 方向的切割可以交替进行,这样每次将 XYZ 三个方向中尺度最大的切成多份,便能得到较

小的块与块交界面. 尤其是接近根结点的 BCM 合并涉及到最大的块交界面,其上大量的边界元使合并的时间占整个算法时间中的较大比例,采用本发明改进后节省时间的效果非常明显. 图 2 所示为对一个含两层介质的三维结构,比较文献[6]方法与本文方法进行层次式切割的过程.

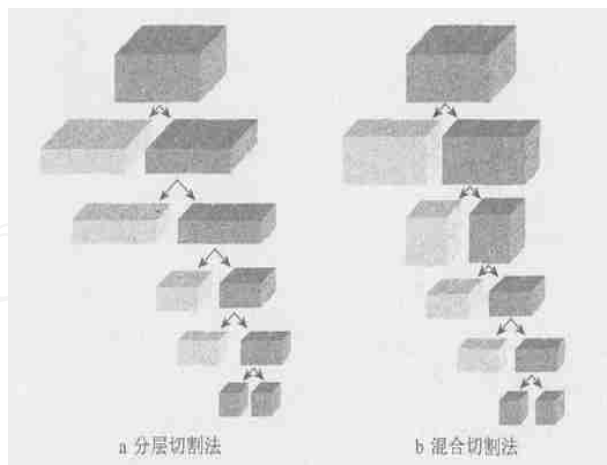


图 2 两种层次式切割的过程

如何控制三维叶子块的大小也非常重要,若采用较小的叶子块,其划分的边界元少固然可以提高计算相应 BCM 的速度,但它同时会造成整个结构中叶子块数量众多、总体时间增长. 此外,叶子块的大小对计算精度也有一定的影响,因为版图中导体的分布密度是不均匀的,需合理地控制一个叶子块中包含导体的数目才能较好地考虑导体间的相互作用. 因此,本文基于版图特征尺寸的计算,共同采用三个规则限定叶子块的大小:

- (1) 叶子块在 XOY 方向的几何尺寸应在版图特征尺寸的 \sim 倍之间;
- (2) 叶子块最多不应包含 \sim 块导体;
- (3) 整个树状结构的层数应在 $a \sim b$ 之间.

其中,特征尺寸指整个结构存在的最小线宽或导体间距,可通过对大量的版图的测试求得 \sim , \sim , a 和 b 等参数. 采用上述规则后,层次式边界元电容提取的算法稳定性好,能适应各种大小规模、导体疏密程度的结构.

3.2 边界元的非均匀划分

为提高计算效率应减少 BCM 计算和合并中涉及的边界元数目,因此,采用非均匀边界元划分十分重要,它能在保证计算精度的同时尽量减少边界元的数目. 文献[6]对所计算的简单结构采用一个特征尺寸来确定边界元划分的密度,并取得了较好的实验结果. 但按此方法进行边界元划分并不适用于实际模拟电路版图的提取,因为其中每层的线宽和

线间距均存在很大的变化(如图 3 所示),不但无法找到一个统一的特征尺寸,而且即使存在,采用这种

均匀的边界元划分也一定无法达到计算精度和速度的很好平衡.

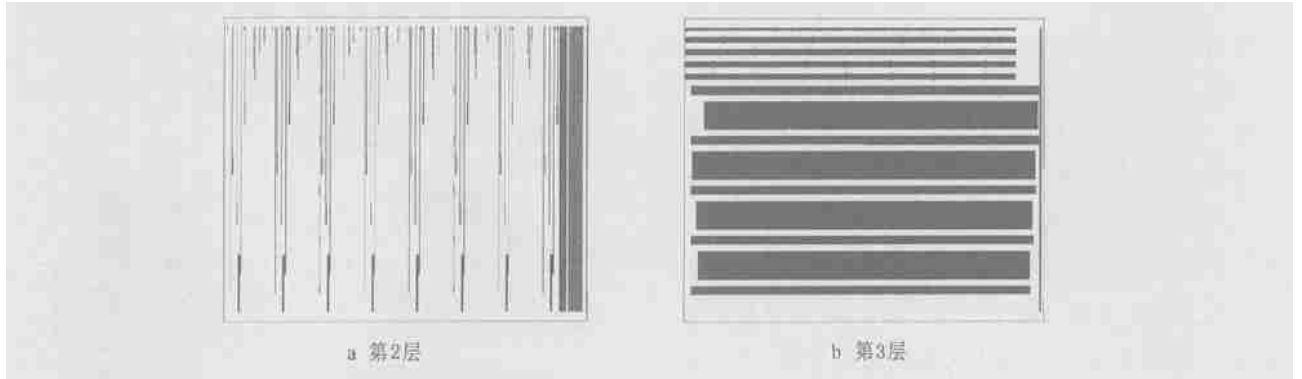


图 3 一个实际模拟电路版图的某两层互连线分布(俯视图)

为了适应实际模拟电路中各层的线宽和线间距变化很大的特点(如图 3 所示),我们首先对各层动态计算特征尺寸,然后确定其边界元的非均匀划分.具体地说,对每层都需分别进行线宽和线间距的数学统计,得到一个最小线宽和线间距,再据此算出每层介质的特征尺寸 $FeatureSize_i = f(ConX_i, ConY_i, MedX_i, MedY_i)$. 其中, $FeatureSize_i$ 是版图第 i 层介质的特征尺寸; $ConX_i, ConY_i, MedX_i$ 和 $MedY_i$ 分别是第 i 层介质从 X 和 Y 两个方向上统计得到的最小导体线宽和线间距; $f(x)$ 是综合计算特征尺寸的函数.

非均匀划分的总体原则是静电场变化越强烈的地方就应将边界元划分得越密^[3]. 对于如图 4 所示的 BCM 计算中所处理的叶子块结构,由于导体表面电场变化较大,因此导体边界元应划分得较密.对于相邻两层介质中 Z 方向投影重叠的导体(尤其是衬底与紧邻其上的导体),它们之间耦合作用比较强烈,应该对其上的边界元加密.另外,还要综合考虑当前层及其上下两邻层的特征尺寸.因此,我们让边界元划分密度由 6 类划分间隔(Gap)控制,其计算公式为

$$\begin{cases} GapConductor_i = 1 \cdot FeatureSize_i \\ GapInterface_i = 2 \cdot FeatureSize_i \\ GapMediumUp_i = 3 \cdot g(FeatureSize_i, FeatureSize_{i+1}) \\ GapMediumDown_i = 4 \cdot g(FeatureSize_i, FeatureSize_{i-1}) \\ GapConductorZ_i = 5 \cdot ConductorThickness_i \\ GapMediumZ_i = 6 \cdot MediumThickness_i \end{cases}$$

各划分间隔的含义如图 4 所示. $ConductorThickness_i$ 和 $MediumThickness_i$ 分别是第 i 层导体和介质的高度; $g(x)$ 是综合计算相邻层介质交界面边界元划分间隔的函数; $j (j = 1, \dots, 6)$ 是边界元划分

密度系数,可根据经验设置.而且,除 $GapConductorZ_i$ 和 $GapMediumZ_i$ 之外的每个参数还需分别按 X 和 Y 两个方向进行计算

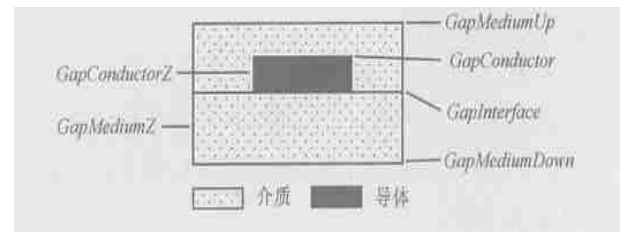


图 4 一个三维叶子块和决定边界元划分密度的 6 类 Gap

3.3 算法流程的改进

在原来的层次式块边界元法中,首先要计算所有三维叶子块的 BCM,再按照完全二叉树的组织自底向上进行合并 BCM 运算^[6]. 本文采用一个递归算法完成 BCM 计算和合并,并且在合并后立即释放子结点占用的内存.具体算法如下:

```

ComputeBcmTree( CurrentNode)
{
    if (!IsLeafNode( CurrentNode)); 如果是中间结点
    {
        for(int i=0; i<Number of Children; i++)
            ComputeBcmTree(Child Node i); 递归计算子
            结点 i
    }
    if (!IsLeafNode( CurrentNode)); 如果是中间结点
    {
        MergeChildBcm(); 合并子结点 BCM
        ReleaseChildBcm(); 释放子结点 BCM
    }
    else 否则是叶子结点
        ComputeBcm(); 计算 BCM
}

```

由于 BCM 存储是最主要的内存消耗,采用本文算法后在任何时刻只需保存三个结点的 BCM,节约了大量内存.大量实例(线宽 $0.23 \sim 1.0 \mu\text{m}$;版图大小 $10 \sim 100 \mu\text{m}$)计算表明,采用本文算法后,内存使用量降到原来的 $1/3 \sim 1/5$.空间复杂度的下降,使得该算法可以适用于更大规模版图的完整耦合电容矩阵提取.

4 计算结果及分析

为了说明本文算法在实际应用中的效果,下面对两个来自文献[6]以及实际版图的结构进行计算,比较改进前后的层次式边界元法以及业界著名软件 Raphael. 时间单位为 s,内存单位为 MB,电容单位为 10^{-18}F ,长度单位为 μm .

4.1 一个简单三维版图

图 5a 所示为一个“双弯线及双交叉线”互连结构.其中,每根直导线尺寸为 $1 \times 1 \times 13$,导体 3 和 4 之

间,5 和 6 之间的距离均为 3,它们到四周 Neumann 边界的距离是 4;每个弯线的横截面为 1×1 ,其他有关弯线的几何参数如图 5b 所示. 从下向上数各介质层厚度依次为 1,1,2,1,1,1 和 1,各层相对介电常数依次为 2,3,3,4,4,5 和 5,整个结构的顶面和底面均为金属平面. 在 Sun Sparc 20 工作站上,我们使用本文算法计算了此结构的电容矩阵,在相同机器上 SpiceLink,ODDM,QBEM 和 HBBEM 的运行结果取自文献[3,6](如表 1 所示).其中,SpiceLink 为 Ansoft 公司的三维有限元电磁参数提取软件;ODDM (Overlapped Domain Decomposition Method) 为采用重叠区域分解法的电容提取算法^[7];QBEM 为采用虚拟多介质加速的直接边界元电容提取算法^[3];HBBEM 则为改进前的层次式边界元法^[6].表 1 仅列出了几个总电容的值,本文算法与其他 4 种方法的误差均在 3% 以内;从速度上看,本文算法是改进前 HBBEM 的 3 倍左右.

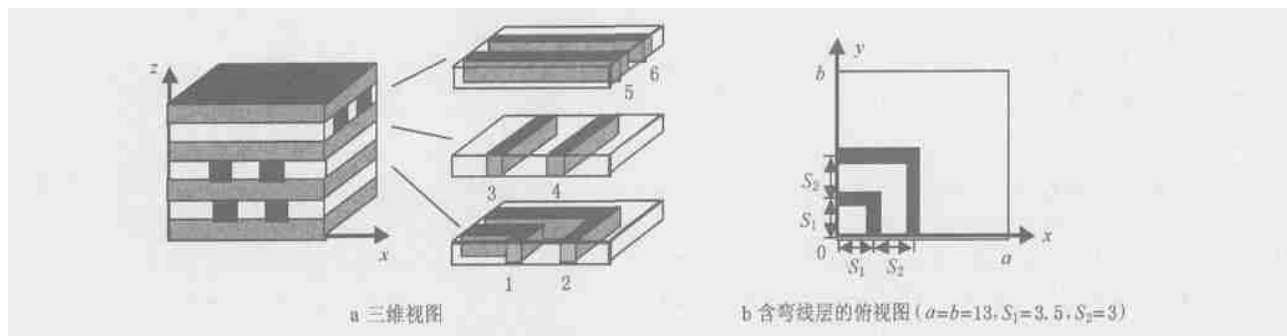


图 5 一个“双弯线及双交叉线”三维互连结构

表 1 本文算法计算“两弯线及双交叉线”结构的结果及与其他算法的比较

	C_{11}	C_{22}	C_{44}	C_{66}	时间(s)	内存(MB)
SpiceLink	0.669	1.29	1.54	2.53	1327	75.9
ODDM	0.680	1.29	1.52	2.54	122	2.7
QBEM	0.682	1.31	1.54	2.53	58.4	3.80
HBBEM	0.673	1.33	1.58	2.52	3.7	2.52
本文算法	0.696	1.34	1.57	2.56	1.5	1.9

4.2 来自实际版图的算例

export-opamp PART03 是从实际模拟电路版图上切下来的一个较小规模结构(尺寸为 11×8.52),其第 2,3 层含有 11 块导体(总共 8 层),导体线宽分别为 0.9,1.0 和 1.32,而线间距仅为 0.3(如图 6 所示).在 SUN Ultra V880 服务器(主频 750MHz)上,用 Raphael(采用缺省的 0.32 M 网格)、改进前的

HBBEM 和本文算法对此结构进行了计算,表 2 所示为所有导体总电容的平均误差和最大误差(以 Raphael 采用稠密网格的计算结果为标准),以及计算时间和内存用量.改进前的 HBBEM 对这种结构的计算误差明显偏大,而改进后的方法则仍然保持了较好的精度,除一块导体的最大误差达 5.5% 外,其他导体的误差均小于 4%.同时,改进后方法的计算时间和内存使用量均比改进前的 HBBEM 大大减少,而对比 Raphael,加速比达到几百.

上述数值实验表明,改进前的 HBBEM 难以适应线宽及线间距变化剧烈的结构,改进后的层次式边界元方法显著提高了计算精度,且缩短了计算时间、减少了占用内存.此外,大量的实验表明,改进后的层次式边界元电容提取具有很好的算法稳定性和适应性,非常适合于含多层介质且线宽、线间距变化剧烈的模拟集成电路的互连参数提取.

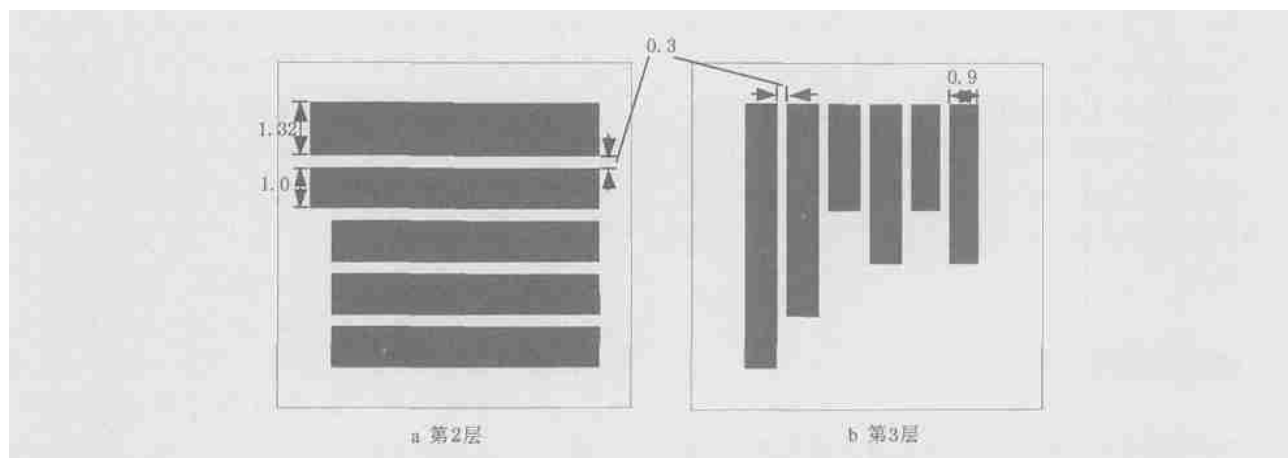


图6 一个实际版图结构 export-opampPART03 某两层的俯视图

表2 本文算法计算 export-opampPART03 的结果
及与改进前 HBBEM 和 Raphael 的比较

	平均误差 (%)	最大误差 (%)	时间(s)	内存(MB)
Raphael	-	-	1 158	61
HBBEM	7.7	15.2	8.9	34.3
本文算法	2.7	5.5	4.6	5.6

[7] Zhu Z, Ji H, Hong W. An efficient algorithm for the parameter extraction of 3-D interconnect structures in the VLSI circuits: Domain-decomposition method [J]. IEEE Transactions on Microwave Theory and Techniques, 1997, 45(8): 1179 ~ 1184

参 考 文 献

- [1] Ho R, Mai W K, Horowitz A M. The future of wires [J]. Proceedings of the IEEE, 2001, 89(4): 490 ~ 504
- [2] Yu Wenjian, Wang Zeyi. Research progress on 3D VLSI parasitic capacitance extraction [J]. Journal of Computer-Aided Design & Computer Graphics, 2003, 15(1): 21 ~ 28 (in Chinese) (喻文健, 王泽毅. 三维 VLSI 互连寄生电容提取的研究进展 [J]. 计算机辅助设计与图形学学报, 2003, 15(1): 21 ~ 28)
- [3] Yu Wenjian, Wang Zeyi, Gu Jiangchun. Fast capacitance extraction of actual 3-D VLSI interconnects using quasi-multiple medium accelerated BEM [J]. IEEE Transactions on Microwave Theory and Techniques, 2003, 51(1): 109 ~ 120
- [4] Harbour M G, Drake J M. Calculation of multiterminal resistances in integrated circuits [J]. IEEE Transactions on Circuits and System—I: Fundamental Theory and Applications, 1986, 33(4): 462 ~ 469
- [5] Niewczas M, Wojtasik A. Modeling of VLSI RC parasitics based on the network reduction algorithm [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1995, 14(2): 137 ~ 146
- [6] Lu Taotao, Wang Zeyi, Yu Wenjian. Hierarchical block boundary-element method (HBBEM): A fast field solver for 3-D capacitance extraction [J]. IEEE Transactions on Microwave Theory and Techniques, 2004, 52(1): 10 ~ 19



李 漓 男, 1980 年生, 硕士, 主要研究方向为 VLSI 互连寄生电容提取。



喻文健 男, 1977 年生, 博士, 助理研究员, 主要研究方向为 VLSI 互连寄生参数提取、三维边界元快速算法与应用、互连线建模与分析等 (yurwj@tsinghua.edu.cn)。



王泽毅 男, 1940 年生, 教授, 博士生导师, 主要研究方向为 VLSI CAD 中的器件模拟、互连寄生参数提取与分析及其中的串并行数值方法。



洪先龙 男, 1940 年生, 教授, 博士生导师, 主要研究方向为 IC CAD 的科研和教学工作。